

Attorney Docket No. 5649-1276

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Young-pil Kim et al.

Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: SEMICONDUCTOR DEVICE TEST PATTERNS AND RELATED METHODS
FOR PRECISELY MEASURING LEAKAGE CURRENTS IN SEMICONDUCTOR
CELL TRANSISTORS

Date: March 9, 2004

Mail Stop PATENT APPLICATION
Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the
following Korean priority application:

10-2003-18588, filed March 25, 2003.

Respectfully submitted,

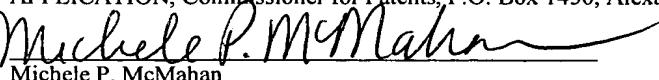


D. Randal Ayers
Registration No. 40,493

USPTO Customer No. 20792
Myers Bigel Sibley & Sajovec, P.A.
Post Office Box 37428
Raleigh, North Carolina 27627
Telephone: (919) 854-1400
Facsimile: (919) 854-1401
Our File No. 5649-1165

"Express Mail" mailing label number EV 381443985US
Date of Deposit: March 9, 2004

I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to MAIL STOP PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.



Michele P. McMahan



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2003-0018588
Application Number

출 원 년 월 일 : 2003년 03월 25일
Date of Application MAR 25, 2003

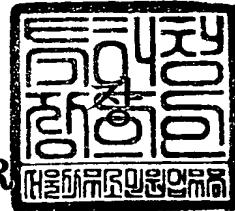
출 원 인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 12 월 26 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2003.03.25
【발명의 명칭】	반도체 소자의 테스트 패턴 및 그 형성방법
【발명의 영문명칭】	TEST PATTERN OF SEMICONDUCTOR DEVICE AND METHOD FOR FORMING THEREOF
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	김영필
【성명의 영문표기】	KIM,YOUNG-PIL
【주민등록번호】	680912-1559012
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 황골마을벽산아파트 222동 704호
【국적】	KR
【발명자】	
【성명의 국문표기】	진범준
【성명의 영문표기】	JIN,BEOM-JUN
【주민등록번호】	710920-1344211
【우편번호】	137-040
【주소】	서울특별시 서초구 반포동 1-8 경남아파트 8동 1202호
【국적】	KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인
임창현 (인) 대리인
권혁수 (인)

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	58	면	58,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	35	항	1,229,000	원
【합계】			1,316,000	원
【첨부서류】			1. 요약서·명세서(도면)_1통	

【요약서】

【요약】

본 발명은 셀 트랜지스터의 누설전류를 정확히 측정할 수 있는 반도체 소자의 테스트 패턴을 개시한다. 개시된 본 발명은, 반도체 기판; 상기 기판상에 특정 방향으로 신장 배열된 워드라인; 상기 워드라인과 직교하며 제1 불순물 영역과 제2 불순물 영역을 포함하는 활성영역; 상기 제1 불순물 영역과 전기적으로 도통하는 제1 자기정렬 콘택패드; 상기 제1 자기정렬 콘택패드와 전기적으로 도통하는 제1 다이렉트 콘택; 상기 제1 다이렉트 콘택과 전기적으로 도통하고, 상기 워드라인과는 직교하는 방향으로 신장되어 제1 프로빙 패드와 전기적으로 도통하는 제1 비트라인; 및 상기 제2 불순물 영역과 전기적으로 도통하고, 상기 워드라인과는 평행한 방향으로 신장되어 제2 프로빙 패드와 전기적으로 도통하며, 상기 제2 프로빙 패드와는 상기 워드라인과 직교하는 방향으로 신장되는 제2 비트라인에 의해 전기적으로 도통하며, 상기 제2 비트라인과는 제2 다이렉트 콘택에 의해 전기적으로 도통하는 제2 자기정렬 콘택패드를 포함하는 것을 특징으로 한다. 본 발명에 의하면, 반도체 소자의 셀 트랜지스터의 누설전류를 정확하게 각 구성요소별로 측정할 수 있게 되어, 종국적으로는 반도체 소자의 데이터 보유 시간(retention time)을 개선하는데 커다란 도움이 되는 효과가 있다.

【대표도】

도 5

【명세서】**【발명의 명칭】**

반도체 소자의 테스트 패턴 및 그 형성방법{TEST PATTERN OF SEMICONDUCTOR DEVICE AND METHOD FOR FORMING THEREOF}

【도면의 간단한 설명】

도 1은 일반적인 COB 구조를 적용한 반도체 소자를 도시한 단면도이다.

도 2는 종래 기술에 따른 반도체 소자의 테스트 패턴을 도시한 평면도이다.

도 3은 종래 기술에 따른 반도체 소자의 테스트 패턴의 개략적인 바이어스 상태를 도시한 구성도이다.

도 4는 종래 기술에 따른 반도체 소자의 테스트 패턴에 있어서 셀 트랜지스터 어레이의 레이아웃도이다.

도 5는 본 발명의 실시예1에 따른 반도체 소자의 테스트 패턴을 도시한 평면도이다.

도 6은 도 5의 I-I 선을 절취한 단면도이다.

도 7은 도 5의 II-II 선을 절취한 단면도이다.

도 8은 도 5의 III-III 선을 절취한 단면도이다.

도 9는 본 발명의 실시예1에 따른 반도체 소자의 테스트 패턴의 전기적 특성을 도시한 그래프이다.

도 10 내지 도 14는 본 발명의 실시예1에 따른 반도체 소자의 테스트 패턴 형성방법을 도시한 공정별 단면도이다.

도 15는 본 발명의 실시예2에 따른 반도체 소자의 테스트 패턴을 도시한 평면도이다.

도 16은 본 발명의 실시예2에 따른 반도체 소자의 테스트 패턴의 다른 구현예를 도시한 평면도이다.

도 17은 도 15의 IV-IV선을 절취한 단면도이다.

도 18 내지 도 22는 본 발명의 실시예2에 따른 반도체 소자의 테스트 패턴 형성방법을 도시한 공정별 단면도이다.

도 23은 본 발명의 실시예3에 따른 반도체 소자의 테스트 패턴을 도시한 평면도이다.

도 24는 도 23의 V-V선을 절취한 단면도이다.

도 25 내지 도 29는 본 발명의 실시예3에 따른 반도체 소자의 테스트 패턴 형성방법을 도시한 공정별 단면도이다.

* 도면의 주요부분에 대한 부호의 설명 *

100; 반도체 기판 120; 소자분리막

130; 활성영역 140; 워드라인

150a; 제1 불순물 영역 150b; 제2 불순물 영역

160; 제1 층간절연막 170; 제2 층간절연막

180a; 제1 자기정렬 콘택패드 180b; 제2 자기정렬 콘택패드

190; 제3 층간절연막 200; 제1 다이렉트 콘택

210; 제2 다이렉트 콘택 220; 제1 비트라인

230; 제2 비트라인 400; 제1 메탈 콘택

420; 제1 프로빙 패드 500; 제2 메탈 콘택

520; 제2 프로빙 패드

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <29> 본 발명은 반도체 소자의 테스트 패턴에 관한 것으로, 보다 상세하게는 셀 트랜지스터의 누설전류를 정확히 측정할 수 있는 반도체 소자의 테스트 패턴에 관한 것이다.
- <30> 최근, 반도체 기술의 발전에 힘입어 반도체 소자는 점점 고집적화되어 가고 있는 것이 일반적이다. 이러한 반도체 소자의 고집적화에 수반하여 소자의 크기가 점점 축소되어 가고 있지만, 이와 달리 소자의 메모리 용량은 더욱 더 증대되어 가고 있다. 반도체 소자의 집적도 증가는 필연적으로 반도체 기판상에 형성되는 여러 구성요소의 점유 면적을 감소시킨다. 메모리 소자를 이루는 여러 구성요소 가운데, 캐패시터(Capacitor)는 신뢰성 있는 소자의 동작을 위해서 보다 큰 값의 캐패시턴스(Capacitance)를 필요로 한다. 따라서, 반도체 기판상의 한정된 면적내에 큰 값의 캐패시턴스를 가진 캐패시터를 형성하는 방법이 반도체 메모리 소자의 제조에 있어서는 중요한 문제가 된다.
- <31> 주지된 바와 같이, 캐패시턴스는 캐패시터의 전극 표면적과 유전막의 유전율에 비례하며, 유전막의 두께에 반비례한다. 그러므로, 주어진 셀 면적내에서 캐패시턴스를 증가시키는 방법으로서는 고유전율 물질을 유전막으로 사용하는 방법과, 유전막을 박막화 하는 방법과, 캐패시터 전극의 표면적을 증가시키는 방법을 생각할 수 있다. 이중에서 캐패시터의 전극 표면적을 증가시켜 캐패시턴스를 증가시키는 방법으로는, 캐패시터 전극의 형상을 평면 구조에서 실린더형 구조로 변경하고 또한 셀의 구조를 COB (Capacitor Over Bit line) 구조로 형성하는 것이다.

<32> COB (Capacitor Over Bit line) 구조는, 도 1에 도시된 바와 같이, 소자분리막(12)에 의해 활성영역(13)이 규정된 반도체 기판(10)상에 비트라인(22)이 형성되어 있고, 비트라인(22) 위에 절연막(16)을 사이에 두고 스토리지 노드(26)와 유전막(28)을 포함하는 캐패시터(26)가 비트라인(22) 상부에 형성되어 있는 것이다. 이와 같이, 비트라인 상부에 캐패시터가 형성되어 있는 COB (Capacitor Over Bit line) 구조는 제한된 셀 면적내에 캐패시터(26)의 용량을 크게 할 수 있는 장점이 있다.

<33> 여기서, 셀 트랜지스터(14) 사이에는 제1 자기정렬 콘택패드(18a)와 제2 자기정렬 콘택패드(18b)가 폴리실리콘 등으로 형성되어 있는데, 제1 자기정렬 콘택패드(18a)는 제1 불순물 영역(15a)과 전기적으로 도통하고 제2 자기정렬 콘택패드(18b)는 제2 불순물 영역(15b)과 전기적으로 도통한다. 그리고, 제1 불순물 영역(15a)은 비트라인(22)과 전기적으로 도통하며 제2 불순물 영역(15b)은 캐패시터(24)와 전기적으로 도통하는데, 전기적 도통 수단으로는 각각 다이렉트 콘택(20;Direct Contact)과 매몰형의 베리드 콘택(24;Buried Contact)이 있다.

<34> 한편, 반도체 소자의 동작 특성을 평가하기 위해서는 테스트 패턴의 형성이 필요하다. 예를 들어, 셀 트랜지스터의 동작을 평가하기 위해서는 셀 트랜지스터의 불순물 영역과 각각 전기적으로 도통하는 비트라인과 스토리지 노드를 프로빙 패드(probing pad)에 연결하여야 한다.

<35> 여기서, 비트라인의 경우 비트라인 자체를 프로빙 패드까지 배선하는 방식으로 연결할 수 있다. 그렇지만, 스토리지 노드 상부에 형성되어 있는 유전막은 절연체이므로 전류의 흐름에 대한 장애물로 기능한다. 따라서, 비트라인의 경우와 달리 스토리지 노드를 프로빙 패드에 연결하는 것은 그리 간단한 문제가 아니다.

<36> 특히, 디램(DRAM) 셀의 리소그래피 피치(lithography pitch)는 매시기의 최첨단의 리소그래피 기술로 겨우 해결할 수 있을 정도의 디자인 룰(design rule)로 드로잉(drawing)되고 있다. 따라서, 종래 기술에 따른 반도체 소자의 테스트 패턴에 있어서는 셀 트랜지스터의 불순물 영역과 각각 전기적으로 도통하는 비트라인과 스토리지 노드를 프로빙 패드로 연결하는 것은 매우 어려운 일이다.

<37> 예를 들어, 도 2에 도시된 바와 같이, 스토리지 노드를 비트라인으로 연결하기 위하여 베리드 콘택(24)을 다이렉트 콘택(20) 레벨에서 형성한다고 가정할 때, 베리드 콘택(24)을 형성하는 경우 인접하는 다이렉트 콘택(22)과의 광학적 인접 효과(optical proximity effect)에 의해 다이렉트 콘택(22)과의 브릿지(bridge) 형성을 피할 수 없는 문제점이 있다. 여기서, 반도체 기판(10) 상에는 셀 트랜지스터(14) 라인, 즉 워드라인(14)이 세로방향으로 신장 배열되어 있고 활성영역(13)이 수개의 워드라인(14)을 가로지르는 가로방향 배열되어 있으며, 활성영역(13)에는 제1 자기정렬 콘택패드(18a)과 제2 자기정렬 콘택패드(18b)가 형성되어 있다.

<38> 이에 종래에는, 도 3에 도시된 바와 같이, 불순물 영역중 어느 하나만을 병렬로 연결함으로써 셀 트랜지스터의 접합 누설전류(Junction Leakage)와 게이트 유도 드레인 누설전류(GIDL;Gate Induced Drain Leakage)를 측정하였다.

<39> 이에 대한 셀 트랜지스터 어레이의 레이아웃을 도시한 도 4를 참조하면, 종래에는 다이렉트 콘택(20)을 병렬로 연결하는 패턴을 형성하여 프로빙 패드(40)로 연결되는 반도체 소자의 패턴을 이용하여 소자의 누설전류 등을 측정하였다. 이에 대하여는 참조문헌 "Y.P.Kim, IRPS 2001, p.1, K.Saino, IEDM 2000, p.837"에 개시된 바 있다.

<40> 그러나, 종래 기술에 따른 반도체 소자의 테스트 패턴에 있어서는 베리드 콘택을 연결하는 배선이 형성되어 있지 않았다. 따라서, 활성영역 중에서 베리드 콘택과 전기적으로 도통하는 불순물 영역과, 다이렉트 콘택과 전기적으로 도통하는 불순물 영역 사이에 흐르는 전류를 측정할 수 없었다. 따라서, 펀치쓰루(punchthrough) 등을 측정할 수 없었기 때문에 셀 트랜지스터의 누설전류를 정확히 측정할 수 없는 문제점이 있었다.

【발명이 이루고자 하는 기술적 과제】

<41> 이에, 본 발명은 상기한 종래 기술상의 문제점을 해결하기 위하여 안출된 것으로, 본 발명의 목적은 셀 트랜지스터의 누설전류를 정확히 측정할 수 있는 반도체 소자의 테스트 패턴 및 그 형성방법을 제공함에 있다.

【발명의 구성 및 작용】

<42> 상기 목적을 달성하기 위한 본 발명의 실시예1에 따른 반도체 소자의 테스트 패턴은, 반도체 기판; 상기 기판상에 특정 방향으로 신장 배열된 워드라인; 상기 워드라인과 직교하며 제1 불순물 영역과 제2 불순물 영역을 포함하는 활성영역; 상기 제1 불순물 영역과 전기적으로 도통하는 제1 자기정렬 콘택패드; 상기 제1 자기정렬 콘택패드와 전기적으로 도통하는 제1 다이렉트 콘택; 상기 제1 다이렉트 콘택과 전기적으로 도통하고, 상기 워드라인과는 직교하는 방향으로 신장되어 제1 프로빙 패드와 전기적으로 도통하는 제1 비트라인; 및 상기 제2 불순물 영역과 전기적으로 도통하고, 상기 워드라인과는 평행한 방향으로 신장되어 제2 프로빙 패드와 전기적으로 도통하며, 상기 제2 프로빙 패드와는 상기 워드라인과 직교하는 방향으로 신장되는 제2 비트라인에 의해 전기적으로 도통하며, 상기 제2 비트라인과는 제2 다이렉트 콘택에 의해 전기적으로 도통하는 제2 자기정렬 콘택패드를 포함하는 것을 특징으로 한다.

- <43> 상기 제1 자기정렬 콘택패드는 상기 워드라인 사이에 불연속적인 형태로 형성되어 있는 것을 특징으로 하며, 상기 제2 자기정렬 콘택패드는 상기 워드라인 사이에 연속적인 라인 형태로 형성되어 있는 것을 특징으로 한다.
- <44> 상기 제1 비트라인과 상기 제1 프로빙 패드는 제1 메탈 콘택을 통해 전기적으로 도통하는 것을 특징으로 하며, 상기 제2 비트라인과 상기 제2 프로빙 패드는 제2 메탈 콘택을 통해 전기적으로 도통하는 것을 특징으로 한다.
- <45> 상기 목적을 달성하기 위한 본 발명의 실시예1에 따른 반도체 소자의 테스트 패턴 형성 방법은, 반도체 기판을 제공하는 단계; 상기 기판상에 워드라인을 형성하는 단계; 상기 기판에 제1 불순물 영역과 제2 불순물 영역을 형성하는 단계; 상기 기판 전면상에 제1 층간절연막을 형성하는 단계; 상기 제1 층간절연막을 관통하여 상기 제1 불순물 영역과 전기적으로 도통하는 제1 자기정렬 콘택패드와, 상기 제1 층간절연막을 관통하여 상기 제2 불순물 영역과 전기적으로 도통하는 제2 자기정렬 콘택패드를 형성하는 단계; 상기 제1 층간절연막상에 제2 층간절연막을 형성하는 단계; 상기 제2 층간절연막을 관통하여 상기 제1 자기정렬 콘택패드와 전기적으로 도통하는 제1 다이렉트 콘택과, 상기 제2 층간절연막을 관통하여 상기 제2 자기정렬 콘택패드와 전기적으로 도통하는 제2 다이렉트 콘택을 형성하는 단계; 상기 제1 다이렉트 콘택과 전기적으로 도통하는 제1 비트라인과, 상기 제2 다이렉트 콘택과 전기적으로 도통하는 제2 비트라인을 상기 제2 층간절연막상에 각각 형성하는 단계; 상기 제2 층간절연막상에 제3 층간절연막을 형성하는 단계; 상기 제3 층간절연막을 관통하여 상기 제1 비트라인과 전기적으로 도통하는 제1 메탈 콘택과, 상기 제3 층간절연막을 관통하여 상기 제2 비트라인과 전기적으로 도통하는 제2 메탈 콘택을 형성하는 단계; 및 상기 제1 메탈 콘택과 전기적으로 도통하는 제1 프로빙

패드와, 상기 제2 메탈 콘택과 전기적으로 도통하는 제2 프로빙 패드를 상기 제3 층간절연막 상에 각각 형성하는 단계를 포함하는 것을 특징으로 한다.

<46> 상기 제1 자기정렬 콘택패드는 상기 워드라인 사이에 불연속적인 형태로 형성되는 것을 특징으로 하며, 상기 제2 자기정렬 콘택 패드는 상기 워드라인 사이에 연속적인 라인 형태로 형성되는 것을 특징으로 한다.

<47> 상기 제2 비트라인은 복수개의 제2 자기정렬 콘택패드를 상기 제2 메탈 콘택을 통해 전기적으로 병렬 연결시키는 것을 특징으로 하며, 상기 제2 메탈 콘택은 상기 제2 자기정렬 콘택 패드의 단부와 전기적으로 도통하는 것을 특징으로 한다.

<48> 상기 목적을 달성하기 위한 본 발명의 실시예2에 따른 반도체 소자의 테스트 패턴은, 반도체 기판; 상기 기판상에 특정 방향으로 신장 배열된 워드라인; 상기 워드라인과 직교하며 제1 불순물 영역과 제2 불순물 영역을 포함하는 활성영역; 상기 제1 불순물 영역과 전기적으로 도통하는 제1 자기정렬 콘택패드; 상기 제1 자기정렬 콘택패드와 전기적으로 도통하는 다이렉트 콘택; 상기 다이렉트 콘택과 전기적으로 도통하고, 상기 워드라인과 직교하는 방향으로 신장되어 제1 프로빙 패드와 전기적으로 도통하는 비트라인; 상기 제2 불순물 영역과 전기적으로 도통하는 제2 자기정렬 콘택패드; 상기 제2 자기정렬 콘택패드와 전기적으로 도통하는 베리드 콘택; 및 상기 베리드 콘택과 전기적으로 도통하고, 상기 제2 프로빙 패드와 전기적으로 도통하는 프로빙 라인을 포함하는 것을 특징으로 한다.

<49> 상기 프로빙 라인은 상기 워드라인의 신장방향과 직교하는 방향과, 상기 워드라인의 신장하는 방향과 평행하는 방향 중에서 선택된 어느 하나의 방향으로 신장되어 있는 것을 특징으로 한다.

<50> 상기 제1 자기정렬 콘택패드는 상기 워드라인 사이에 불연속적인 형태로 형성되어 있는 것을 특징으로 하며, 상기 제2 자기정렬 콘택패드는 상기 워드라인 사이에 불연속적인 형태로 형성되어 있는 것을 특징으로 한다.

<51> 상기 비트라인과 상기 제1 프로빙 패드는 제1 메탈 콘택을 통해 전기적으로 도통하는 것을 특징으로 하며, 상기 프로빙 라인과 상기 제2 프로빙 패드는 제2 메탈 콘택을 통해 전기적으로 도통하는 것을 특징으로 한다.

<52> 상기 목적을 달성하기 위한 본 발명의 실시예2에 따른 반도체 소자의 테스트 패턴 형성 방법은, 반도체 기판을 제공하는 단계; 상기 기판상에 워드라인을 형성하는 단계; 상기 기판에 제1 불순물 영역과 제2 불순물 영역을 형성하는 단계; 상기 기판 전면상에 제1 충간절연막을 형성하는 단계; 상기 제1 충간절연막을 관통하여 상기 제1 불순물 영역과 전기적으로 도통하는 제1 자기정렬 콘택패드와, 상기 제1 충간절연막을 관통하여 상기 제2 불순물 영역과 전기적으로 도통하는 제2 자기정렬 콘택패드를 형성하는 단계; 상기 제1 충간절연막상에 제2 충간절연막을 형성하는 단계; 상기 제2 충간절연막을 관통하여 상기 제1 자기정렬 콘택패드와 전기적으로 도통하는 다이렉트 콘택을 형성하는 단계; 상기 다이렉트 콘택과 전기적으로 도통하는 비트라인을 상기 제2 충간절연막상에 형성하는 단계; 상기 제2 충간절연막상에 제3 충간절연막을 형성하는 단계; 상기 제3 충간절연막과 제2 충간절연막을 관통하여 상기 제2 자기정렬 콘택패드와 전기적으로 도통하는 베리드 콘택을 형성하는 단계; 상기 베리드 콘택과 전기적으로 도통하는 프로빙 라인을 제3 충간절연막상에 형성하는 단계; 상기 제3 충간절연막상에 제4 충간절연막을 형성하는 단계; 상기 제4 충간절연막과 제3 충간절연막을 관통하여 상기 비트라인과 전기적으로 도통하는 제1 메탈 콘택을 형성하고, 상기 제4 충간절연막을 관통하여 상기 프로빙 라인과 전기적으로 도통하는 제2 메탈 콘택을 형성하는 단계; 및 상기 제1 메탈 콘택과 전기적

으로 도통하는 제1 프로빙 패드와, 상기 제2 메탈 콘택과 전기적으로 도통하는 제2 프로빙 패드를 상기 제4 충간절연막상에 각각 형성하는 단계를 포함하는 것을 특징으로 한다.

<53> 상기 프로빙 라인은 상기 비트라인의 신장하는 방향과 평행한 방향으로 신장하도록 형성되거나, 또는 상기 프로빙 라인은 상기 비트라인의 신장하는 방향과 직교하는 방향으로 신장하도록 형성되는 것을 특징으로 한다.

<54> 상기 제1 자기정렬 콘택패드는 상기 워드라인 사이에 불연속적인 형태로 형성되는 것을 특징으로 하며, 상기 제2 자기정렬 콘택패드는 상기 워드라인 사이에 불연속적인 형태로 형성되는 것을 특징으로 한다.

<55> 상기 목적을 달성하기 위한 본 발명의 실시예3에 따른 반도체 소자의 테스트 패턴은, 반도체 기판; 상기 기판상에 특정 방향으로 신장 배열된 워드라인; 상기 워드라인과 평행하지 아니하면서 직교하지 않는 각도로 기울어지고, 제1 불순물 영역과 제2 불순물 영역을 포함하는 활성영역; 상기 제1 불순물 영역과 전기적으로 도통하는 제1 자기정렬 콘택패드; 상기 제1 자기정렬 콘택패드와 전기적으로 도통하는 제1 다이렉트 콘택; 상기 제1 다이렉트 콘택과 전기적으로 도통하고, 상기 활성영역과 직교하도록 신장되어 제1 프로빙 패드와 전기적으로 도통하는 제1 비트라인; 상기 제2 불순물 영역과 전기적으로 도통하는 제2 자기정렬 콘택패드; 상기 제2 자기정렬 콘택패드와 전기적으로 도통하는 제2 다이렉트 콘택; 및 상기 제2 다이렉트 콘택과 전기적으로 도통하고, 상기 활성영역과 직교하도록 신장되어 제2 프로빙 패드와 전기적으로 도통하는 제2 비트라인을 포함하는 것을 특징으로 한다.

<56> 상기 제1 비트라인과 제2 비트라인은 상기 활성영역과 직교하는 방향으로 교번적으로 신장 배열되어 있는 것을 특징으로 한다.

- <57> 상기 제1 자기정렬 콘택패드는 상기 워드라인 사이에 불연속적인 형태로 형성되어 있는 것을 특징으로 하며, 상기 제2 자기정렬 콘택패드는 상기 워드라인 사이에 불연속적인 형태로 형성되어 있는 것을 특징으로 한다.
- <58> 상기 제2 자기정렬 콘택패드는 상기 워드라인에서 최인접하는 2개의 제2 불순물 영역과 공통으로 전기적으로 도통하는 것을 특징으로 한다.
- <59> 상기 제1 자기정렬 콘택패드와 제2 자기정렬 콘택패드는 상기 워드라인 사이에 서로 교번적으로 배열되어 있는 것을 특징으로 한다.
- <60> 상기 제1 비트라인과 상기 제1 프로빙 패드는 제1 메탈 콘택을 통해 전기적으로 도통하는 것을 특징으로 하며, 상기 제2 비트라인과 상기 제2 프로빙 패드는 제2 메탈 콘택을 통해 전기적으로 도통하는 것을 특징으로 한다.
- <61> 상기 목적을 달성하기 위한 본 발명의 실시예3에 따른 반도체 소자의 테스트 패턴 형성 방법은, 반도체 기판을 제공하는 단계; 상기 기판상에 특정 방향으로 신장되는 워드라인을 형성하는 단계; 상기 기판에 제1 불순물 영역과 제2 불순물 영역을 형성하되, 상기 제1 불순물 영역과 제2 불순물 영역을 포함하는 활성영역의 장축이 상기 워드라인의 신장 방향과 평행하지 아니하면서 직교하지 않는 사선 방향으로 신장되도록 형성하는 단계; 상기 기판 전면상에 제1 층간절연막을 형성하는 단계; 상기 제1 층간절연막을 관통하여 상기 제1 불순물 영역과 전기적으로 도통하는 제1 자기정렬 콘택패드와, 상기 제1 층간절연막을 관통하여 상기 워드라인 사이에서 최인접하는 2개의 제2 불순물 영역과 전기적으로 도통하는 제2 자기정렬 콘택패드를 형성하는 단계; 상기 제1 층간절연막상에 제2 층간절연막을 형성하는 단계; 상기 제2 층간절연막을 관통하여 상기 제1 자기정렬 콘택패드와 전기적으로 도통하는 제1 다이렉트 콘택과, 상기 제2 층간절연막을 관통하여 상기 제2 자기정렬 콘택패드와 전기적으로 도통하는 제2 다이렉트 콘택

을 형성하는 단계; 상기 제1 다이렉트 콘택과 전기적으로 도통하는 제1 비트라인과, 상기 제2 다이렉트 콘택과 전기적으로 도통하는 제2 비트라인을 상기 제2 층간절연막상에 각각 형성하되, 상기 활성영역의 장축과 직교하는 방향으로 신장되도록 형성하는 단계; 상기 제2 층간절연막상에 제3 층간절연막을 형성하는 단계; 상기 제3 층간절연막을 관통하여 상기 제1 비트라인과 전기적으로 도통하는 제1 메탈 콘택과, 상기 제3 층간절연막을 관통하여 상기 제2 비트라인과 전기적으로 도통하는 제2 메탈 콘택을 형성하는 단계; 및 상기 제1 메탈 콘택과 전기적으로 도통하는 제1 프로빙 패드와, 상기 제2 메탈 콘택과 전기적으로 도통하는 제2 프로빙 패드를 상기 제3 층간절연막상에 각각 형성하는 단계를 포함하는 것을 특징으로 한다.

<62> 상기 제1 비트라인과 상기 제2 비트라인은 교번적으로 배열되도록 형성되는 것을 특징으로 한다.

<63> 상기 제1 자기정렬 콘택패드는 상기 워드라인 사이에 불연속적인 형태로 형성되는 것을 특징으로 하며, 상기 제2 자기정렬 콘택패드는 상기 워드라인 사이에 불연속적인 형태로 형성되는 것을 특징으로 한다.

<64> 상기 제2 자기정렬 콘택패드는 상기 워드라인에서 최인접하는 2개의 제2 불순물 영역과 공통으로 전기적으로 도통하도록 형성되는 것을 특징으로 한다.

<65> 상기 제1 자기정렬 콘택패드와 제2 자기정렬 콘택패드는 상기 워드라인 사이에 교번적으로 형성되는 것을 특징으로 한다.

<66> 본 발명에 의하면, 불순물 영역 모두가 프로빙 패드로 연결되기 때문에 반도체 소자의 셀 트랜지스터의 누설전류를 정확하게 각 구성요소별로 측정할 수 있게 된다.

<67> 이하, 본 발명에 따른 반도체 소자의 반도체 소자의 테스트 패턴 및 그 형성방법을 첨부 한 도면을 참조하여 상세히 설명한다. 본 발명은 여기서 설명되는 실시예에 한정되지 않고 다른 형태로 구체화될 수 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다. 도면에 있어서, 막 및 영역들의 두께는 명확성을 기하기 위하여 과장된 것이다. 또한, 막이 다른 막 또는 기판"상"에 있다고 언급되는 경우는 그것은 다른 막 또는 기판상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 막이 개재될 수 있다. 명세서 전체에 걸쳐서 동일한 도면부호는 동일한 구성요소를 나타낸다.

<68> (실시예1)

<69> 본 발명의 실시예1에 따른 반도체 소자의 테스트 패턴을 도 5 내지 도 9를 참조하여 상세히 설명한다.

<70> 도 5는 본 발명의 실시예1에 따른 반도체 소자의 테스트 패턴을 도시한 평면도이다.

<71> 도 5를 참조하여, 본 발명의 실시예1에 따른 반도체 소자의 테스트 패턴은 실리콘(Si)과 같은 반도체성 화학 원소(Semiconductive chemical element)로 구성된 반도체 기판(100; Semiconductor Substrate)상에 특정 방향, 예를 들어, 세로방향으로 복수개의 워드라인(140; Word Line)이 서로 평행하게 신장 배열되어 있다.

<72> 그리고, 제1 프로빙 패드(420; 1st Probing Pad)와 전기적으로 도통되는 제1 비트라인(220; 1st Bit Line)이 워드라인(140)의 신장 방향과는 직교하는 방향으로 신장 배열되어 있고, 제2 프로빙 패드(520; 2nd Probing Pad)와 전기적으로 도통되는 제2 비트라인(230; 2nd Bit

Line)이 워드라인(140)의 신장 방향과는 직교하는 방향으로 신장 배열되어 있다. 여기서, 제1 비트라인(220)과 제1 프로빙 패드(420)는 셀 어레이 외곽 영역(B)에서 제1 메탈 콘택(400)에 의해 전기적으로 도통하며, 제2 비트라인(230)과 제2 프로빙 패드(520)는 셀 어레이 외곽 영역(B)에서 제2 메탈 콘택(500)에 의해 전기적으로 도통한다.

<73> 기판(100)에는 제1 불순물 영역(150a;1st Impurity Doped Area)과 제2 불순물 영역(150b;2nd Impurity Doped Area)을 포함하는 활성영역(130;Active Area)이 형성되어 있는데, 활성영역(130)의 장축은 워드라인(140)의 신장 방향과는 직교하는 방향으로 신장되어 있다. 제1 불순물 영역(150a)과 제2 불순물 영역(150b)은 인(P)이나 붕소(B)와 같은 불순물이 도핑되어 있는 불순물 접합영역이다.

<74> 제1 불순물 영역(150a)은 가로 방향으로 신장 배열되는 제1 비트라인(220)과 전기적으로 도통하고, 제2 불순물 영역(150b)은 가로 방향으로 신장 배열되는 제2 비트라인(230)과 전기적으로 도통한다.

<75> 제1 불순물 영역(150a)과 제1 비트라인(220)과의 구체적인 전기적 도통 관계와, 제2 불순물 영역(150b)과 제2 비트라인(230)과의 구체적인 전기적 도통 관계는 다음과 같다.

<76> 제1 비트라인(220)과 제1 불순물 영역(150a)은 제1 자기정렬 콘택패드(180a;1st Self Aligned Contact Pad)와 제1 다이렉트 콘택(200;1st Direct Contact)을 통해 서로 전기적으로 연결된다. 구체적으로, 제1 자기정렬 콘택패드(180a)는 제1 불순물 영역(150a)과 전기적으로 도통하며, 다수개의 고립된 영역이 일정한 간격으로 격리되어 있는 불연속적 형태로 워드라인(140) 사이에 형성되어 있다. 제1 자기정렬 콘택패드(180a)는 도체로서 작용하기 위해 폴리실리콘과 같은 전도성 물질로 구성되어 있다. 그리고, 제1 자기정렬 콘택패드(180a)는 제1 다이렉트 콘택(200;1st Direct Contact)을 통해 제1 비트라인(220)과 전기적으로 도통한다.

- <77> 제2 비트라인(230)과 제2 불순물 영역(150b)은 제2 자기정렬 콘택패드(180b; 2nd Self Aligned Contact Pad)와 제2 다이렉트 콘택(210; 2nd Direct Contact)을 통해 서로 전기적으로 연결된다. 구체적으로, 제2 자기정렬 콘택패드(180b)는 제2 불순물 영역(150b)과 전기적으로 도통하며, 불연속적 형태인 제1 자기정렬 콘택패드(180a)와는 달리 연속적인 라인 형태로 워드라인(140) 사이에 형성되어 있다. 라인 형태의 제2 자기정렬 콘택패드(180b)는 도체로서 작용하기 위해 폴리실리콘과 같은 전도성 물질로 구성되어 있다.
- <78> 셀 어레이 영역(A)에만 형성되어 있는 제1 자기정렬 콘택패드(180a)와는 달리, 제2 자기정렬 콘택패드(180b)는 워드라인(140)의 신장 방향과 평행하게 신장 배열되어 셀 어레이 영역(A)과 셀 어레이 외곽 영역(B)에 걸쳐서 형성되어 있다. 제2 자기정렬 콘택패드(180b)는 셀 어레이 외곽 영역(B)에서 제2 다이렉트 콘택(210)을 통해 제2 비트라인(230)과 전기적으로 도통한다.
- <79> 도 6은 도 5의 셀 어레이 영역(A) 내의 I - I 선을 절취한 단면도이다.
- <80> 도 6을 참조하여, 본 발명의 실시예1에 따른 반도체 소자의 테스트 패턴은 소자분리막(120)에 의해 활성영역(130)이 규정되는 반도체 기판(100)상에 워드라인(140)이 복수개 형성되어 있다. 워드라인(140) 사이에는 제1 자기정렬 콘택패드(180a)와 제2 자기정렬 콘택패드(180b)가 형성되어 있다.
- <81> 활성영역(130)은 워드라인(140) 사이의 기판(100)에 형성된 제1 불순물 영역(150a)과 제2 불순물 영역(150b)을 포함하며, 제1 불순물 영역(150a)은 제1 자기정렬 콘택패드(180a)와 전기적으로 도통하며 제2 불순물 영역(150b)은 제2 자기정렬 콘택패드(180b)와 전기적으로 도통한다.

- <82> 제1 자기정렬 콘택패드(180a)는 제1 다이렉트 콘택(200)을 통하여 제1 비트라인(220)과 전기적으로 도통한다.
- <83> 여기서의 미설명 도면부호 160과 170 및 190은 기판상에 형성된 여러 구성요소를 서로 전기적으로 절연시키기 위한 제1 층간절연막과 제2 층간절연막 및 제3 층간절연막을 각각 지시한다.
- <84> 도 7은 도 5의 셀 어레이 영역(A)과 셀 어레이 외곽 영역(B)을 통관하는 II-II 선을 절취한 단면도이다.
- <85> 도 7을 참조하여, 본 발명의 실시예1에 따른 반도체 소자의 테스트 패턴은 소자분리막(120)에 의해 활성영역(130)이 규정되는 반도체 기판(100)의 셀 어레이 영역(A)에 불연속적인 형태로 제1 자기정렬 콘택패드(180a)가 형성되어 있다. 그리고, 제1 자기정렬 콘택패드(180a)는 제1 다이렉트 콘택(200)을 통해 제1 비트라인(220)과 전기적으로 도통한다. 또한, 셀 어레이 외곽 영역(B)에는 제2 비트라인(230)이 형성되어 있다.
- <86> 여기서, 활성영역(130)은 기판(100)에 형성된 제1 불순물 영역(150a)을 포함하는데, 제1 불순물 영역(150a)은 제1 자기정렬 콘택패드(180a)와 전기적으로 도통한다.
- <87> 여기서의 미설명 도면부호 160과 170은 기판상에 형성된 여러 구성요소를 서로 전기적으로 절연시키기 위한 제1 층간절연막과 제2 층간절연막을 각각 지시한다.
- <88> 도 8은 도 5의 셀 어레이 영역(A)과 셀 어레이 외곽 영역(B)을 통관하는 III-III 선을 절취한 단면도이다.
- <89> 도 8을 참조하여, 본 발명의 실시예1에 따른 반도체 소자의 테스트 패턴은 소자분리막(120)에 의해 활성영역(130)이 규정되는 반도체 기판(100)상에 셀 어레이 영역(A)과 셀 어레이

외곽 영역(B)에 걸쳐서 연속적인 라인 형태의 제2 자기정렬 콘택패드(180b)가 형성되어 있다.

그리고, 제2 자기정렬 콘택패드(180b)는 셀 어레이 외곽 영역(B)에서 제2 다이렉트 콘택(210)을 통해 제2 비트라인(230)과 전기적으로 도통한다. 한편, 셀 어레이 영역(A)에는 제1 비트라인(220)이 형성되어 있다.

<90> 여기서, 활성영역(130)은 기판(100)에 형성된 제2 불순물 영역(150b)을 포함하는데, 제2 불순물 영역(150b)은 제2 자기정렬 콘택패드(180b)와 전기적으로 도통한다.

<91> 여기서의 미설명 도면부호 170은 전기적 절연을 위한 제2 층간절연막을 지시한다.

<92> 한편, 라인 형태를 이루는 제2 자기정렬 콘택패드(180b)는 폴리실리콘으로 형성되어 있는데 폴리실리콘의 저항은 금속의 저항보다 더 크다고 알려져 있다. 따라서, 제2 자기정렬 콘택패드(180b)는 그 길이가 가능한 짧게 형성되어 있는 것이 바람직하다.

<93> 상기와 같은 구성에 따르면, 제1 자기정렬 콘택패드(180a)는 불연속적인 형태로 형성되어 제1 다이렉트 콘택(200)을 통해 제1 비트라인(220)과 연결된다. 그리고, 제2 자기정렬 콘택패드(180b)는 연속적인 라인 형태를 이루어 셀 어레이 영역(A)과 셀 어레이 영역(B)에 걸쳐서 형성되어 있는데, 셀 어레이 외곽 영역(B)에서는 제2 다이렉트 콘택(210)을 통해 제2 비트라인(230)과 전기적으로 도통한다. 또한, 제1 비트라인(220)은 제1 프로빙 패드(420)에 전기적으로 연결되어 있으며, 제2 비트라인(230)은 제2 프로빙 패드(520)에 전기적으로 연결되어 있다.

<94> 따라서, 제1 프로빙 패드(420)는 제1 비트라인(220)과 제1 자기정렬 콘택패드(180a)를 전기적 도통 수단으로 이용하여 제1 불순물 영역(150a)의 누설전류를 측정할 수 있게 된다. 이 외 아울러, 제2 프로빙 패드(520)는 제2 비트라인(230)과 제2 자기정렬 콘택패드(180b)를 전기적 도통 수단으로 이용하여 제2 불순물

영역(150b)의 누설전류를 측정할 수 있게 된다. 종국적으로, 본 발명의 실시예1은 제1 불순물 영역(150a)과 제2 불순물 영역(150b) 사이에 흐르는 전류까지도 측정할 수 있기 때문에 셀 트랜지스터의 누설전류를 정확히 측정할 수 있게 된다.

<95> 도 9는 제2 자기정렬 콘택패드(180b)의 저항으로부터 기인한 전압 강하에 의하여 동작 전류(On Current) 특성이 제대로 반영되지 못하는 것을 보여 주는 그래프이다. 상기한 바와 같이, 제2 자기정렬 콘택패드(180b)는 폴리실리콘으로 이루어져 있는바, 주지된 바와 같이 폴리실리콘의 저항은 일반적인 금속의 저항보다 크기 때문에 도 9의 그래프가 보여주는 전기적인 특성을 가진다.

<96> 그러나, 데이터 보유 시간(Retention Time)을 결정하는 중요 인자인 누설전류(Leakage Current)는 셀 어레이 갯수를 1k, 10k, 176k 개로 증가시킬 때 대략 10배씩 증가하는 것을 보여 주고 있다. 이러한 결과는 폴리실리콘으로 이루어진 자기정렬 콘택패드의 저항은 누설전류에 결정적으로 영향을 미치지 않고 있음을 알 수 있다. 도 9의 그래프에 있어서, k는 10^3 을 나타내는 단위이며 가로축은 게이트 전압(V_g)을 볼트(V) 단위로 나타내며 세로축은 드레인 전류(I_d)를 암페어(A) 단위로 나타낸 것이다.

<97> 이하, 본 발명의 실시예1에 따른 반도체 소자의 테스트 패턴 형성방법을 도 10 내지 도 14를 참조하여 설명한다.

<98> 도 10 내지 도 14는 본 발명의 실시예1에 따른 반도체 소자의 테스트 패턴 형성방법을 도시한 공정별 단면도이다. 도 10 내지 도 14에 있어서 (a), (b), (x)는 도 5의 I-I 선, II-II 선, III-III 선을 절취한 단면을 각각 나타내며, A와 B는 셀 어레이 영역과 셀 어레이 외곽 영역을 각각 표시한다.

<99> 본 발명의 실시예1에 따른 반도체 소자의 테스트 패턴 형성방법은, 도 10에 도시된 바와 같이, 먼저 실리콘(Si)과 같은 반도체성 화학 원소(Semiconductive Chemical Element)로 구성된 반도체 기판(100)을 준비한다. 준비된 기판(100)에 트렌치 공정 등을 이용하여 소자분리막 (120)을 형성하여 활성영역(130)을 규정한다. 이어서, 기판(100)상에 특정 방향으로 신장되는 워드라인(140)을 복수개 형성한 다음, 봉소(B)나 인(P) 이온의 주입공정으로 워드라인(140) 사이의 기판(100)에 제1 불순물 영역(150a)과 제2 불순물 영역(150b)을 형성한다.

<100> 그다음, 도 11에 도시된 바와 같이, 기판(100) 전면상에 산화막과 같은 전기 절연성 물질 등을 통상적인 화학기상증착법 등으로 증착하여 제1 층간절연막(160)을 형성한다. 이어서, 제1 층간절연막(160)을 관통하여 제1 불순물 영역(150a)과 전기적으로 도통하는 제1 자기정렬 콘택패드(180a)를 형성하고, 이와 병행하여 제1 층간절연막(160)을 관통하여 제2 불순물 영역(150b)과 전기적으로 도통하는 제2 자기정렬 콘택패드(180b)를 형성한다.

<101> 이때, 제1 자기정렬 콘택패드(180a)는 워드라인(140) 사이에 불연속적인 형태로 형성하고, 제2 자기정렬 콘택패드(180b)는 워드라인(140) 사이에 연속적인 라인 형태로 형성한다.

<102> 그런다음, 도 12에 도시된 바와 같이, 제1 층간절연막(160) 전면상에 산화막과 같은 전기 절연성 물질 등을 통상적인 화학기상증착법 등으로 증착하여 제2 층간절연막(170)을 형성한다. 이어서, 제2 층간절연막(170)을 관통하여 제1 자기정렬 콘택패드(180a)와 전기적으로 도통하는 제1 다이렉트 콘택(200)을 형성한다. 이와 병행하여, 제2 층간절연막(170)을 관통하여 제2 자기정렬 콘택패드(180b)와 전기적으로 도통하는 제2 다이렉트 콘택(210)을 형성한다. 이 때, 제1 다이렉트 콘택(200)은 셀 어레이 영역(A)내에 형성하고, 제2 다이렉트 콘택(210)은 셀 어레이 외곽 영역(B)에 형성한다.

- <103> 이어서, 셀 어레이 영역(A)의 제2 층간절연막(170) 상에 제1 다이렉트 콘택(200)과 전기적으로 도통하는 제1 비트라인(220)을 형성한다. 이와 병행하여, 셀 어레이 외곽 영역(B)의 제2 층간절연막(170)상에 제2 다이렉트 콘택(210)과 전기적으로 도통하는 제2 비트라인(230)을 형성한다.
- <104> 그다음, 도 13에 도시된 바와 같이, 제2 층간절연막(170) 전면상에 산화막과 같은 전기 절연성 물질 등을 통상적인 화학기상증착법 등으로 증착하여 제3 층간절연막(190)을 형성한다.
- <105> 이어서, 도 14에 도시된 바와 같이, 제3 층간절연막(190)을 관통하여 제1 비트라인(220)과 전기적으로 도통하는 제1 메탈 콘택(400)을 형성한다. 이와 병행하여, 제3 층간절연막(190)을 관통하여 제2 비트라인(230)과 전기적으로 도통하는 제2 메탈 콘택(500)을 형성한다. 그런 다음, 제1 메탈 콘택(400)과 전기적으로 도통하는 제1 프로빙 패드(420)와, 제2 메탈 콘택(500)과 전기적으로 도통하는 제2 프로빙 패드(520)를 제3 층간절연막(190)을 형성한다.
- <106> 이때, 제2 메탈 콘택(500)은 제2 자기정렬 콘택패드(180b)의 단부와 전기적으로 도통하도록 셀 어레이 외곽 영역(B)에 형성한다. 그결과, 제2 비트라인(230)은 복수개의 제2 자기정렬 콘택패드(180b)를 제2 메탈 콘택(500)을 통해 전기적으로 연결시키게 된다.
- <107> 도 14의 (β)에 있어서, 제1 메탈 콘택(400)과 제1 프로빙 패드(420)은 셀 어레이 영역(A)이 아닌 셀 어레이 외곽 영역(B)에 형성되지만 편의상 셀 어레이 영역(A)에서 보이도록 도시하였다.
- <108> 상기와 같은 일련의 공정에 따르면, 제1 자기정렬 콘택패드(180a)는 불연속적인 형태로 형성되어 제1 다이렉트 콘택(200)을 통해 제1 비트라인(220)과 연결된다. 그리고, 제2 자기정렬 콘택패드(180b)는 셀 어레이 영역(A)과 셀 어레이 영역(B)에 걸쳐서 연속적인 라인 형태로

형성된다. 따라서, 제2 자기정렬 콘택패드(180b)는 셀 어레이 외곽 영역(B)에서 제2 다이렉트 콘택(210)을 통해 제2 비트라인(230)과 전기적으로 도통되도록 형성된다. 또한, 제1 비트라인(220)은 제1 프로빙 패드(420)에 전기적으로 연결되도록 형성되며, 제2 비트라인(230)은 제2 프로빙 패드(520)에 전기적으로 연결되도록 형성된다.

<109> 따라서, 제1 프로빙 패드(420)는 제1 비트라인(220)과 제1 자기정렬 콘택패드(180a)를 전기적 도통 수단으로 이용하여 제1 불순물 영역(150a)의 누설전류를 측정할 수 있게 된다. 이와 아울러, 제2 프로빙 패드(520)는 제2 비트라인(230)과 제2 자기정렬 콘택패드(180b)를 전기적 도통 수단으로 이용하여 제2 불순물 영역(150b)의 누설전류를 측정할 수 있게 된다. 종국적으로, 본 발명의 실시예1은 제1 불순물 영역(150a)과 제2 불순물 영역(150b) 사이에 흐르는 전류까지도 측정할 수 있기 때문에 셀 트랜지스터의 누설전류를 정확히 측정할 수 있게 된다.

<110> (실시예2)

<111> 본 발명의 실시예2에 따른 반도체 소자의 테스트 패턴을 도 15 및 도 16을 참조하여 상세히 설명한다.

<112> 도 15는 본 발명의 실시예2에 따른 반도체 소자의 테스트 패턴을 도시한 평면도이고, 도 16은 본 발명의 실시예2에 따른 반도체 소자의 테스트 패턴의 다른 구현예를 도시한 평면도이다.

<113> 도 15를 참조하여, 본 발명의 실시예2에 따른 반도체 소자의 테스트 패턴은 실리콘(Si)과 같은 반도체성 화학 원소(Semiconductive chemical element)로 구성된 반도체 기판

(103; Semiconductor Substrate)상에 특정 방향, 예를 들어, 세로 방향으로 복수개의 워드라인(143;Word Line)이 서로 평행하게 신장 배열되어 있다.

<114> 그리고, 제1 프로빙 패드(423;1st Probing Pad)와 전기적으로 도통되는 비트라인(223;Bit Line)이 워드라인(143)의 신장 방향과는 직교하는 방향으로 신장 배열되어 있고, 제2 프로빙 패드(523;2nd Probing Pad)와 전기적으로 도통되는 프로빙 라인(323;Probing Line)이 워드라인(143)의 신장 방향과는 직교하는 방향으로 신장 배열되어 있다. 여기서, 비트라인(223)과 제1 프로빙 패드(423)는 제1 메탈 콘택(403)에 의해 제1 셀 어레이 외곽 영역(B_1)에서 전기적으로 도통하며, 프로빙 라인(323)과 제2 프로빙 패드(523)는 제2 메탈 콘택(503)에 의해 제2 셀 어레이 외곽 영역(B_2)에서 전기적으로 도통한다.

<115> 기판(103)에는 제1 불순물 영역(153a;1st Impurity Doped Area)과 제2 불순물 영역(153b;2nd Impurity Doped Area)을 포함하는 활성영역(133;Active Area)이 워드라인(143)과는 직교하는 방향으로 형성되어 있다. 제1 불순물 영역(153a)과 제2 불순물 영역(153b)은 인(P)이나 붕소(B)와 같은 불순물이 도핑되어 있는 불순물 접합영역이다.

<116> 제1 불순물 영역(153a)은 가로 방향으로 신장 배열되는 비트라인(223)과 셀 어레이 영역(A)에서 전기적으로 도통하고, 제2 불순물 영역(153b)은 가로 방향으로 신장 배열되어 있는 프로빙 라인(323)과 셀 어레이 영역(A)에서 전기적으로 도통한다.

<117> 제1 불순물 영역(153a)과 비트라인(223)과의 구체적인 전기적 도통 관계와, 제2 불순물 영역(153b)과 프로빙 라인(323)과의 구체적인 전기적 도통 관계는 다음과 같다.

<118> 비트라인(223)과 제1 불순물 영역(153a)은 제1 자기정렬 콘택패드(183a;1st Self Aligned Contact Pad)와 다이렉트 콘택(203;Direct Contact)을 통해 서로 전기적으로

연결된다. 구체적으로, 제1 자기정렬 콘택패드(183a)는 제1 불순물 영역(153a)과 전기적으로 도통하며, 다수개의 고립된 영역이 일정한 간격으로 격리되어 있는 불연속적 형태로 워드라인(143) 사이에 형성되어 있다. 제1 자기정렬 콘택패드(183a)는 도체로서 작용하기 위해 폴리실리콘과 같은 전도성 물질로 구성되어 있다. 그리고, 제1 자기정렬 콘택패드(183a)는 다이렉트 콘택(203;Direct Contact)을 통해 비트라인(223)과 전기적으로 도통한다.

<119> 프로빙 라인(323)과 제2 불순물 영역(153b)은 제2 자기정렬 콘택패드(183b;2nd Self Aligned Contact Pad)와 베리드 콘택(243;Buried Contact)을 통해 서로 전기적으로 연결된다. 구체적으로, 제2 자기정렬 콘택패드(183b)는 제2 불순물 영역(153b)과 전기적으로 도통하며, 불연속적 형태인 제1 자기정렬 콘택패드(183a)와 마찬가지로 불연속적인 형태로 워드라인(143) 사이에 형성되어 있다. 제2 자기정렬 콘택패드(183b)는 도체로서 작용하기 위해 폴리실리콘과 같은 전도성 물질로 구성되어 있다. 그리고, 제2 자기정렬 콘택패드(183b)는 베리드 콘택(243)을 통해 프로빙 라인(323)과 전기적으로 도통한다.

<120> 베리드 콘택(243)은, 도면에는 도시하지 않았지만, 캐패시터(Capacitor)의 스토리지 노드(Storage Node)와 전기적으로 도통하는 콘택 플러그(Contact Plug)의 일종이다.

<121> 한편, 프로빙 라인(323)은 제2 불순물 영역(153b)과 전기적으로 도통되어 있는 셀 어레이 영역(A)내의 모든 제2 자기정렬 콘택패드(183b)를 전기적으로 연결시키기 위한 것이다. 프로빙 라인(323)은 이상에서 설명한 바와 같이 워드라인(143)의 신장 방향과 직교하는 방향으로 신장 배열되거나, 또는 도 16에 도시된 바와 같이 워드라인(143)의 신장 방향과 평행하는 방향으로 신장 배열될 수 있다. 이외에 여러 다양한 프로빙 라인(323)의 배열 형태 구현이 가능하다.

- <122> 이하, 본 발명의 실시예2에 따른 반도체 소자의 테스트 패턴에 있어서 주요부분을 절취하여 도시한 도 17을 참조하여 상세히 설명한다.
- <123> 도 17은 도 15의 제1 셀 어레이 외곽 영역(B_1)과 셀 어레이 영역(A) 및 제2 셀 어레이 외곽 영역(B_2)을 통관하는 IV-IV선을 절취한 단면도이다.
- <124> 도 17을 참조하여, 본 발명의 실시예2에 따른 반도체 소자의 테스트 패턴은 소자분리막(123)에 의해 활성영역(133)이 규정되는 반도체 기판(103)상에 형성된 복수개의 워드라인(143) 사이에 제1 자기정렬 콘택패드(183a)과 제2 자기정렬 콘택패드(183b)가 형성되어 있다.
- <125> 활성영역(133)은 워드라인(143) 사이의 기판(103)에 형성된 제1 불순물 영역(153a)과 제2 불순물 영역(153b)을 포함한다. 제1 불순물 영역(153a)은 제1 자기정렬 콘택패드(183a)와 전기적으로 도통하며, 제2 불순물 영역(153b)은 제2 자기정렬 콘택패드(183b)와 전기적으로 도통한다. 그리고, 제1 자기정렬 콘택패드(183a)는 다이렉트 콘택(203)을 통하여 비트라인(223)과 전기적으로 도통하며, 제2 자기정렬 콘택패드(183b)는 베리드 콘택(243)을 통하여 프로빙라인(323)과 전기적으로 도통한다.
- <126> 비트라인(223)은 셀 어레이 영역(A)에서는 다이렉트 콘택(203)을 통해 제1 자기정렬 콘택패드(183a)와 전기적으로 도통하고, 제1 셀 어레이 외곽 영역(B_1)에서는 제1 메탈 콘택(403)을 통해 제1 프로빙 패드(423)와 전기적으로 도통한다. 이와 마찬가지로, 프로빙 라인(323)은 셀 어레이 영역(A)에서는 베리드 콘택(243)을 통해 제2 자기정렬 콘택패드(183b)와 전기적으로 도통하고, 제2 셀 어레이 외곽 영역(B_2)에서는 제2 메탈 콘택(503)을 통해 제2 프로빙 패드(523)와 전기적으로 도통한다.

<127> 여기서의 미설명 도면부호 163과 173과 193 및 203은 기판상에 형성된 여러 구성요소를 서로 전기적으로 절연시키기 위한 제1 충간절연막과 제2 충간절연막과 제3 충간절연막 및 제4 충간절연막을 각각 지시한다.

<128> 상기와 같은 구성에 따르면, 비트라인(223)은 셀 어레이 영역(A)에서는 다이렉트 콘택(203)을 통해 제1 자기정렬 콘택패드(183a)와 전기적으로 도통하고, 제1 셀 어레이 외곽 영역(B₁)에서는 제1 메탈 콘택(403)을 통해 제1 프로빙 패드(423)와 전기적으로 도통한다. 그리고, 프로빙 라인(323)은 셀 어레이 영역(A)에서는 베리드 콘택(203)을 통해 제2 자기정렬 콘택패드(183b)와 전기적으로 도통하고, 제2 셀 어레이 외곽 영역(B₂)에서는 제2 메탈 콘택(503)을 통해 제2 프로빙 패드(523)와 전기적으로 도통한다.

<129> 따라서, 제1 프로빙 패드(423)는 비트라인(223)과 제1 자기정렬 콘택패드(183a)를 전기적 도통 수단으로 이용하여 제1 불순물 영역(153a)의 누설전류를 측정할 수 있게 된다. 이와 아울러, 제2 프로빙 패드(523)는 프로빙 라인(323)과 제2 자기정렬 콘택패드(183b)를 전기적 도통 수단으로 이용하여 제2 불순물 영역(153b)의 누설전류를 측정할 수 있게 된다. 종국적으로, 본 발명의 실시예2는 제1 불순물 영역(153a)과 제2 불순물 영역(153b) 사이에 흐르는 전류 까지도 측정할 수 있기 때문에 셀 트랜지스터의 누설전류를 정확히 측정할 수 있게 된다.

<130> 이하, 본 발명의 실시예2에 따른 반도체 소자의 테스트 패턴 형성방법을 도 18 내지 도 22를 참조하여 설명한다.

<131> 도 18 내지 도 22는 본 발명의 실시예2에 따른 반도체 소자의 테스트 패턴 형성방법을 도시한 공정별 단면도이다. 도 18 내지 도 22에 있어서 A는 셀 어레이 영역을 표시하며, B₁은 제1 셀 어레이 외곽 영역을 표시하며, B₂는 제2 셀 어레이 외곽 영역을 표시한다.

<132> 본 발명의 실시예2에 따른 반도체 소자의 테스트 패턴 형성방법은, 도 18에 도시된 바와 같이, 먼저 실리콘(Si)과 같은 반도체성 화학 원소(Semiconductive Chemical Element)로 구성된 반도체 기판(103)을 준비한다. 준비된 기판(103)에 트렌치 공정 등을 이용하여 소자분리막(123)을 형성하여 활성영역(133)을 규정한다. 이어서, 기판(103)상에 특정 방향으로 신장되는 워드라인(143)을 복수개 형성한 다음, 봉소(B)나 인(P) 이온의 주입공정으로 워드라인(143) 사이의 기판(103)에 제1 불순물 영역(153a)과 제2 불순물 영역(153b)을 형성한다.

<133> 이어서, 도 19에 도시된 바와 같이, 기판(103) 전면상에 산화막과 같은 전기 절연성 물질 등을 통상적인 화학기상증착법 등으로 증착하여 제1 층간절연막(163)을 형성한다. 그다음, 제1 층간절연막(163)을 관통하여 제1 불순물 영역(153a)과 전기적으로 도통하는 제1 자기정렬 콘택패드(183a)를 형성하고, 이와 병행하여 제1 층간절연막(163)을 관통하여 제2 불순물 영역(153b)과 전기적으로 도통하는 제2 자기정렬 콘택패드(183b)를 형성한다. 이때, 제1 자기정렬 콘택패드(183a)와 제2 자기정렬 콘택패드(183b)는 워드라인(143) 사이에 불연속적인 형태로 형성한다.

<134> 그런다음, 도 20에 도시된 바와 같이, 제1 층간절연막(163) 전면상에 산화막과 같은 전기 절연성 물질 등을 통상적인 화학기상증착법 등으로 증착하여 제2 층간절연막(173)을 형성한다. 그다음, 제2 층간절연막(173)을 관통하여 제1 자기정렬 콘택패드(183a)와 전기적으로 도통하는 다이렉트 콘택(203)을 셀 어레이 영역(A)에 형성한다.

<135> 이어서, 제2 층간절연막(173) 상에 다이렉트 콘택(203)과 전기적으로 도통하는 비트라인(223)을 셀 어레이 영역(A)과 제1 셀 어레이 외곽 영역(B_1)에 걸쳐서 형성한다. 이때, 비트라인(223)은 워드라인(143)의 신장 방향과 직교하는 방향으로 신장하도록 형성한다.

- <136> 그다음, 도 21에 도시된 바와 같이, 제2 층간절연막(173) 전면상에 산화막과 같은 전기 절연성 물질 등을 통상적인 화학기상증착법 등으로 증착하여 제3 층간절연막(193)을 형성한다. 그런다음, 제3 층간절연막(193)과 제2 층간절연막(173)을 관통하여 제2 자기정렬 콘택패드(183b)와 전기적으로 도통하는 베리드 콘택(243)을 셀 어레이 영역(A)에 형성한다.
- <137> 이어서, 베리드 콘택(243)과 전기적으로 도통하는 프로빙 라인(323)을 제3 층간절연막(193)상에 형성한다. 이때, 프로빙 라인(323)은 워드라인(143)의 신장 방향과 직교하는 방향으로 셀 어레이 영역(A)과 제2 셀 어레이 외곽 영역(B_2)에 걸쳐서 형성한다.
- <138> 다음으로, 도 22에 도시된 바와 같이, 제3 층간절연막(193) 전면상에 산화막과 같은 전기 절연성 물질 등을 통상적인 화학기상증착법 등으로 증착하여 제4 층간절연막(203)을 형성한다. 그런다음, 제4 층간절연막(203)과 제3 층간절연막(193)을 관통하여 비트라인(223)과 전기적으로 도통하는 제1 메탈 콘택(403)을 제1 셀 어레이 외곽 영역(B_1)에 형성한다. 이와 병행하여, 제4 층간절연막(203)을 관통하여 프로빙 라인(323)과 전기적으로 도통하는 제2 메탈 콘택(503)을 제2 셀 어레이 영역(B_2)에 형성한다.
- <139> 그런다음, 제1 메탈 콘택(403)과 전기적으로 도통하는 제1 프로빙 패드(423)를 제1 셀 어레이 외곽 영역(B_1)의 제4 층간절연막(203)상에 형성한다. 이와 병행하여, 제2 메탈 콘택(503)과 전기적으로 도통하는 제2 프로빙 패드(523)를 제2 셀 어레이 외곽 영역(B_2)에 제4 층간절연막(203)상에 형성한다.
- <140> 상기와 같은 일련의 공정에 의하면, 비트라인(223)은 셀 어레이 영역(A)에서는 다이렉트 콘택(203)을 통해 제1 자기정렬 콘택패드(183a)와 전기적으로 도통되고, 제1 셀 어레이 외곽 영역(B_1)에서는 제1 메탈 콘택(403)을 통해 제1 프로빙 패드(423)와 전기적으로 도통되도록 형



1020030018588

출력 일자: 2003/12/30

성된다. 그리고, 프로빙 라인(323)은 셀 어레이 영역(A)에서는 베리드 콘택(203)을 통해 제2 자기정렬 콘택패드(183b)와 전기적으로 도통되고, 제2 셀 어레이 외곽 영역(B₂)에서는 제2 메탈 콘택(503)을 통해 제2 프로빙 패드(523)와 전기적으로 도통되도록 형성된다.

<141> 따라서, 제1 프로빙 패드(423)는 비트라인(223)과 제1 자기정렬 콘택패드(183a)를 전기적 도통 수단으로 이용하여 제1 불순물 영역(153a)의 누설전류를 측정할 수 있게 된다. 이와 아울러, 제2 프로빙 패드(523)는 프로빙 라인(323)과 제2 자기정렬 콘택패드(183b)를 전기적 도통 수단으로 이용하여 제2 불순물 영역(153b)의 누설전류를 측정할 수 있게 된다. 종국적으로, 본 발명의 실시예2는 제1 불순물 영역(153a)과 제2 불순물 영역(153b) 사이에 흐르는 전류 까지도 측정할 수 있기 때문에 셀 트랜지스터의 누설전류를 정확히 측정할 수 있게 된다.

<142> (실시 예3)

<143> 이하, 본 발명의 실시예3에 따른 반도체 소자의 테스트 패턴을 도 23 및 도 24를 참조하여 상세히 설명한다.

<144> 도 23은 본 발명의 실시예3에 따른 반도체 소자의 테스트 패턴을 도시한 평면도이다.

<145> 도 23을 참조하여, 본 발명의 실시예3에 따른 반도체 소자의 테스트 패턴은 실리콘(Si)과 같은 반도체성 화학 원소(Semiconductive chemical element)로 구성된 반도체 기판(105; Semiconductor Substrate)상에 특정 방향, 예를 들어, 세로 방향으로 복수개의 워드라인(145; Word Line)이 서로 평행하게 신장 배열되어 있다.

<146> 기판(105)에는 제1 불순물 영역(155a; 1st Impurity Doped Area)과 제2 불순

불 영역(155b;2nd Impurity Doped Area)을 포함하는 활성영역(135;Active Area)이 워드라인(145)과는 평행하지 않으면서 직교하지 않는 각도로 기울어진 사선 방향으로 형성되어 있다. 예를 들어, 활성영역(135)은 워드라인(145)을 중심으로 시계 방향으로 45도 각도로 기울어져 형성되어 있다. 제1 불순물 영역(155a)과 제2 불순물 영역(155b)은 인(P)이나 봉소(B)와 같은 불순물이 도핑되어 있는 불순물 접합 영역이다.

<147> 제1 프로빙 패드(425;1st Probing Pad)와 전기적으로 도통되는 제1 비트라인(225;1st Bit Line)은 활성영역(135)이 기울어져 있는 방향과 직교하는 방향으로 신장 배열되어 있다. 제2 프로빙 패드(525;2nd Probing Pad)와 전기적으로 도통되는 제2 비트라인(255;2nd Bit Line)은 제1 비트라인(225)과 평행하는 방향으로 신장 배열되어 있다. 제2 비트라인(225)은, 후술하는 바와 같이, 제2 불순물 영역(155b)과 전기적으로 도통되어 있는 셀 어레이 영역(A)내의 모든 제2 자기정렬 콘택패드(185b)를 전기적으로 연결시키기 위한 것이다.

<148> 제1 불순물 영역(155a)은 제1 비트라인(225)과 셀 어레이 영역(A)에서 전기적으로 도통하고, 제2 불순물 영역(155b)은 제2 비트라인(255)과 셀 어레이 영역(A)에서 전기적으로 도통한다.

<149> 제1 불순물 영역(153a)과 제1 비트라인(225)과의 구체적인 전기적 도통 관계와, 제2 불순물 영역(155b)과 제2 비트라인(255)과의 구체적인 전기적 도통 관계는 다음과 같다.

<150> 제1 비트라인(225)과 제1 불순물 영역(155a)은 제1 자기정렬 콘택패드(185a;1st Self Aligned Contact Pad)와 제1 다이렉트 콘택(205;Direct Contact)을 통해 서로 전기적으로 연결된다. 구체적으로, 제1 자기정렬 콘택패드(185a)는 제1 불순물 영역(155a)과 전기적으로 도통하며, 다수개의 고립된 영역이 일정한 간격으로 격리되어 있는 불연속적 형태로 워드라인(145)사이에 형성되어 있다. 제1 자기정렬 콘택패드(185a)는 도체로서 작용하기 위해 폴리실리콘과

같은 전도성 물질로 구성되어 있다. 그리고, 제1 자기정렬 콘택패드(185a)는 제1 다이렉트 콘택(205;Direct Contact)을 통해서 제1 비트라인(225)과 전기적으로 도통한다. 제1 비트라인(225)과 제1 프로빙 패드(425)는 제1 메탈 콘택(405)에 의해 제1 셀 어레이 외곽 영역(B_1)에서 전기적으로 도통하며, 제2 비트라인(255)과 제2 프로빙 패드(525)는 제2 메탈 콘택(505)에 의해 제2 셀 어레이 외곽 영역(B_2)에서 전기적으로 도통한다.

<151> 제2 비트라인(255)과 제2 불순물 영역(155b)은 제2 자기정렬 콘택패드(185b;2nd Self Aligned Contact Pad)와 제2 다이렉트 콘택(245;2nd Direct Contact)을 통해 서로 전기적으로 연결된다. 구체적으로, 제2 자기정렬 콘택패드(185b)는 제2 불순물 영역(155b)과 전기적으로 도통하며, 다수개의 고립된 영역이 일정한 간격으로 격리되어 있는 불연속적인 형태로 워드라인(145) 사이에 형성되어 있다. 그러나, 제1 자기정렬 콘택패드(185b)와는 달리 제2 자기정렬 콘택패드(185)는 워드라인(145) 사이에서 최인접하는 2개의 제2 불순물 영역(155b)과 공통으로 전기적으로 도통한다. 제2 자기정렬 콘택패드(183b)는 도체로서 작용하기 위해 폴리실리콘과 같은 전도성 물질로 구성되어 있다. 그리고, 제2 자기정렬 콘택패드(183b)는 제2 다이렉트 콘택(245)을 통해서 제2 비트라인(225)과 전기적으로 도통한다.

<152> 제2 다이렉트 콘택(245)은, 도면에는 도시하지 않았지만, 캐패시터(Capacitor)의 스토리지 노드(Storage Node)와 전기적으로 도통하는 콘택 플러그(Contact Plug)의 일종이다.

<153> 한편, 제1 자기정렬 콘택패드(185a)와 제2 자기정렬 콘택패드(185b)는 워드라인(145) 사이에서 서로 교번적으로 위치한다. 따라서, 제1 자기정렬 콘택패드(185a)와 제2 자기정렬 콘택패드(185b)와 각각 전기적으로 도통하는 제1 다이렉트 콘택(205)과 제2 다이렉트 콘택(245)도

역시 워드라인(145) 사이에서 서로 교번적으로 위치한다. 결국, 제1 비트라인(225)과 제2 비트라인(235)은 워드라인(145)을 중심으로 반시계 방향으로 45도 방향으로 교번적으로 위치한다.

<154> 이하, 본 발명의 실시예3에 따른 반도체 소자의 테스트 패턴에 있어서 주요부분을 절취하여 도시한 도 24를 참조하여 상세히 설명한다.

<155> 도 24는 도 23의 제1 셀 어레이 외곽 영역(B_1)과 셀 어레이 영역(A) 및 제2 셀 어레이 외곽 영역(B_2)을 통관하는 V-V 선을 절취한 단면도이다.

<156> 도 24를 참조하여, 본 발명의 실시예3에 따른 반도체 소자의 테스트 패턴은 소자분리막 (125)에 의해 활성영역(135)이 규정되는 반도체 기판(105)상에 형성된 복수개의 워드라인(145) 사이에 제1 자기정렬 콘택패드(185a)과 제2 자기정렬 콘택패드(185b)가 형성되어 있다.

<157> 여기서, 활성영역(135)은 워드라인(145) 사이의 기판(105)에 형성된 제1 불순물 영역 (155a)과 제2 불순물 영역(155b)을 포함하는데, 제1 불순물 영역(155a)은 제1 자기정렬 콘택패드(185a)과 전기적으로 도통하며 제2 불순물 영역(155b)은 제2 자기정렬 콘택패드(185b)와 전기적으로 도통한다. 그리고, 제1 자기정렬 콘택패드(185a)는 제1 다이렉트 콘택(205)을 통하여 제1 비트라인(225)과 전기적으로 도통하며, 제2 자기정렬 콘택패드(185b)는 제2 다이렉트 콘택(245)을 통하여 제2 비트라인(255)과 전기적으로 도통한다.

<158> 셀 어레이 영역(A)에서, 제1 비트라인(225)은 제1 다이렉트 콘택(205)을 통해 제1 자기정렬 콘택패드(185a)와 전기적으로 도통하고, 제2 비트라인(225)은 제2 다이렉트 콘택(245)을 통해 제2 자기정렬 콘택패드(185b)와 전기적으로 도통한다.

- <159> 여기서의 미설명 도면부호 165과 175는 기판(105)상에 형성된 여러 구성요소를 서로 전기적으로 절연시키기 위한 제1 층간절연막과 제2 층간절연을 각각 지시한다. 그리고, 수직 점선은 도 23의 V-V 선의 절곡부를 표시한다.
- <160> 상기와 같은 구성에 따르면, 제1 비트라인(225)은 셀 어레이 영역(A)에서는 제1 다이렉트 콘택(205)을 통해 제1 자기정렬 콘택패드(185a)와 전기적으로 도통하고, 제1 셀 어레이 외곽 영역(B₁)에서는 제1 메탈 콘택(405)을 통해 제1 프로빙 패드(425)와 전기적으로 도통한다. 그리고, 제2 비트라인(255)은 셀 어레이 영역(A)에서는 제2 다이렉트 콘택(245)을 통해 제2 자기정렬 콘택패드(185b)와 전기적으로 도통하고, 제2 셀 어레이 외곽 영역(B₂)에서는 제2 메탈 콘택(505)을 통해 제2 프로빙 패드(525)와 전기적으로 도통한다.
- <161> 따라서, 제1 프로빙 패드(425)는 제1 비트라인(225)과 제1 자기정렬 콘택패드(185a)를 전기적 도통 수단으로 이용하여 제1 불순물 영역(155a)의 누설전류를 측정할 수 있게 된다. 이와 아울러, 제2 프로빙 패드(525)는 제2 비트라인(255)과 제2 자기정렬 콘택패드(185b)를 전기적 도통 수단으로 이용하여 제2 불순물 영역(155b)의 누설전류를 측정할 수 있게 된다. 종국적으로, 본 발명의 실시예3은 제1 불순물 영역(155a)과 제2 불순물 영역(155b) 사이에 흐르는 전류까지도 측정할 수 있기 때문에 셀 트랜지스터의 누설전류를 정확히 측정할 수 있게 된다.
- <162> 이하, 본 발명의 실시예3에 따른 반도체 소자의 테스트 패턴 형성방법을 도 25 내지 도 29를 참조하여 설명한다.
- <163> 도 25 내지 도 29는 본 발명의 실시예3에 따른 반도체 소자의 테스트 패턴 형성방법을 도시한 공정별 단면도이다. 도 25 내지 도 29에 있어서 수직 점선은 도 23의 V-V 선의 절곡부를 표시한다.

- <164> 본 발명의 실시예3에 따른 반도체 소자의 테스트 패턴 형성방법은, 도 25에 도시된 바와 같이, 먼저 실리콘(Si)과 같은 반도체성 화학 원소(Semiconductive Chemical Element)로 구성된 반도체 기판(105)을 준비한다. 준비된 기판(105)에 트렌치 공정 등을 이용하여 소자분리막(125)을 형성하여 활성영역(135)을 규정한다. 이어서, 기판(105)상에 워드라인(145)을 복수개 형성한 다음, 봉소(B)나 인(P) 이온의 주입공정으로 워드라인(145) 사이의 기판(105)에 제1 불순물 영역(155a)과 제2 불순물 영역(155b)을 형성한다.
- <165> 제1 불순물 영역(155a)과 제2 불순물 영역(155b) 형성시 이들을 포함하는 활성영역(135)의 장축이 워드라인(145)의 신장 방향과 평행하지 아니하면서 직교하지 않는 사선 방향으로 신장되도록 한다.(도 23 참조)
- <166> 이어서, 도 26에 도시된 바와 같이, 기판(105) 전면상에 산화막과 같은 전기 절연성 물질 등을 통상적인 화학기상증착법 등으로 증착하여 제1 층간절연막(165)을 형성한다. 그다음, 제1 층간절연막(165)을 관통하여 제1 불순물 영역(155a)과 전기적으로 도통하는 제1 자기정렬 콘택패드(185a)를 형성한다. 이와 병행하여, 제1 층간절연막(165)을 관통하여 제2 불순물 영역(155b)과 전기적으로 도통하는 제2 자기정렬 콘택패드(185b)를 형성한다.
- <167> 제1 자기정렬 콘택패드(185a)와 제2 자기정렬 콘택패드(185b)는 워드라인(145) 사이에 다수개의 고립된 영역이 일정한 간격으로 격리되어 있는 불연속적인 형태로 형성한다. 또한, 워드라인(145) 사이에서 제1 자기정렬 콘택패드(185a)와 제2 자기정렬 콘택패드(185b)가 서로 교번적으로 위치하도록 형성한다.(도 23 참조)
- <168> 한편, 제2 자기정렬 콘택패드(185b)는 워드라인(145) 사이에서 최인접하는 2개의 제2 불순물 영역(155b)과 공통으로 전기적으로 도통하도록 형성한다.

- <169> 그런 다음, 도 27에 도시된 바와 같이, 제1 층간절연막(165) 전면상에 산화막과 같은 전기 절연성 물질 등을 통상적인 화학기상증착법 등으로 증착하여 제2 층간절연막(175)을 형성한다. 그다음, 제2 층간절연막(175)을 관통하여 제1 자기정렬 콘택패드(185a)와 전기적으로 도통하는 제1 다이렉트 콘택(205)을 형성한다. 이와 병행하여, 제2 층간절연막(175)을 관통하여 제2 자기정렬 콘택패드(185b)와 전기적으로 도통하는 제2 다이렉트 콘택(245)을 형성한다.
- <170> 워드라인(145) 사이에서 제1 자기정렬 콘택패드(185a)와 제2 자기정렬 콘택패드(185b)가 서로 교번적으로 위치하도록 형성되어 있으므로, 제1 자기정렬 콘택패드(185a)와 제2 자기정렬 콘택패드(185b) 각각과 전기적으로 도통하도록 형성되어 있는 제1 다이렉트 콘택(205)과 제2 다이렉트 콘택(245) 역시 워드라인(145) 사이에서 서로 교번적으로 위치되도록 형성된다.(도 23 참조)
- <171> 이어서, 도 28에 도시된 바와 같이, 제2 층간절연막(175) 상에 제1 다이렉트 콘택(205)과 전기적으로 도통하는 제1 비트라인(225)을 형성한다. 이와 병행하여, 제2 층간절연막(175) 상에 제2 다이렉트 콘택(205)과 전기적으로 도통하는 제2 비트라인(255)을 형성한다.
- <172> 이때, 제1 비트라인(225)과 제2 비트라인(255)은 활성영역(135)의 장축과 직교하고, 또한 제1 비트라인(225)과 제2 비트라인(255)이 서로 교번적으로 배열되도록 형성한다. 그러므로, 제1 비트라인(225)은 사선방향으로 셀 어레이 영역(A) 내의 모든 제1 자기정렬 콘택패드(185a)와 전기적으로 도통되고, 제2 비트라인(255)은 제1 비트라인(225)의 배열 방향과 동일한 방향으로 셀 어레이 영역(A) 내의 모든 제2 자기정렬 콘택패드(185b)와 전기적으로 도통된다.(도 23 참조)
- <173> 그다음, 도 29에 도시된 바와 같이, 제2 층간절연막(175) 전면상에 산화막과 같은 전기 절연성 물질 등을 통상적인 화학기상증착법 등으로 증착하여 제3 층간절연막(195)을 형성한다.

그런 다음, 제3 층간 절연막(195)을 관통하여 제1 비트라인(225)과 전기적으로 도통하는 제1 메탈 콘택(405)을 제1 셀 어레이 외곽 영역(B_1)에 형성한다. 이와 병행하여, 제3 층간 절연막(195)을 관통하여 제1 비트라인(225)과 전기적으로 도통하는 제1 메탈 콘택(405)을 제2 셀 어레이 외곽 영역(B_2)에 형성한다.

<174> 계속하여, 제1 메탈 콘택(405)과 전기적으로 도통하는 제1 프로빙 패드(425)와, 제2 메탈 콘택(505)과 전기적으로 도통하는 제2 프로빙 패드(525)를 제3 층간 절연막(195) 상에 각각 형성한다.

<175> 상기와 같은 일련의 공정에 의하면, 제1 비트라인(225)은 셀 어레이 영역(A)에서는 제1 다이렉트 콘택(205)을 통해 제1 자기정렬 콘택패드(185a)와 전기적으로 도통되고, 제1 셀 어레이 외곽 영역(B_1)에서는 제1 메탈 콘택(405)을 통해 제1 프로빙 패드(425)와 전기적으로 도통되도록 형성된다. 그리고, 제2 비트라인(255)은 셀 어레이 영역(A)에서는 제2 다이렉트 콘택(245)을 통해 제2 자기정렬 콘택패드(185b)와 전기적으로 도통되고, 제2 셀 어레이 외곽 영역(B_2)에서는 제2 메탈 콘택(505)을 통해 제2 프로빙 패드(525)와 전기적으로 도통되도록 형성된다.

<176> 따라서, 제1 프로빙 패드(425)는 제1 비트라인(225)과 제1 자기정렬 콘택패드(185a)를 전기적 도통 수단으로 이용하여 제1 불순물 영역(155a)의 누설전류를 측정할 수 있게 된다. 이와 아울러, 제2 프로빙 패드(525)는 제2 비트라인(255)과 제2 자기정렬 콘택패드(185b)를 전기적 도통 수단으로 이용하여 제2 불순물 영역(155b)의 누설전류를 측정할 수 있게 된다. 종국적으로, 본 발명의 실시예3은 제1 불순물 영역(155a)과 제2 불순물 영역(155b) 사이에 흐르는 전류까지도 측정할 수 있기 때문에 셀 트랜지스터의 누설전류를 정확히 측정할 수 있게 된다.

<177> 또한, 기존에 비해 제1 다이렉트 콘택(205) 사이의 거리가 멀기 때문에 그 사이에 형성되는 제2 다이렉트 콘택(245)은 제1 다이렉트 콘택(205)과의 단락 현상이 일어나지 않게 된다.

【발명의 효과】

<178> 이상에서 설명한 바와 같이, 본 발명에 따른 반도체 소자의 테스트 패턴에 의하면, 반도체 소자의 셀 트랜지스터의 누설전류를 정확하게 각 구성요소별로 측정할 수 있게 된다. 따라서, 종국적으로는 반도체 소자의 데이터 보유 시간(retention time)을 개선하는데 커다란 도움이 되는 효과가 있다.

【특허청구범위】**【청구항 1】**

반도체 기판;

상기 기판상에 특정 방향으로 신장 배열된 워드라인;

상기 워드라인과 직교하며 제1 불순물 영역과 제2 불순물 영역을 포함하는 활성영역;

상기 제1 불순물 영역과 전기적으로 도통하는 제1 자기정렬 콘택패드;

상기 제1 자기정렬 콘택패드와 전기적으로 도통하는 제1 다이렉트 콘택;

상기 제1 다이렉트 콘택과 전기적으로 도통하고, 상기 워드라인과는 직교하는 방향으로

신장되어 제1 프로빙 패드와 전기적으로 도통하는 제1 비트라인: 및

상기 제2 불순물 영역과 전기적으로 도통하고, 상기 워드라인과는 평행한 방향으로 신장되어 제2 프로빙 패드와 전기적으로 도통하며, 상기 제2 프로빙 패드와는 상기 워드라인과 직교하는 방향으로 신장되는 제2 비트라인에 의해 전기적으로 도통하며, 상기 제2 비트라인과는 제2 다이렉트 콘택에 의해 전기적으로 도통하는 제2 자기정렬 콘택패드를 포함하는 것을 특징으로 하는 반도체 소자의 테스트 패턴.

【청구항 2】

제1항에 있어서,

상기 제1 자기정렬 콘택패드는 상기 워드라인 사이에 불연속적인 형태로 형성되어 있는 것을 특징으로 하는 반도체 소자의 테스트 패턴.

【청구항 3】

제1항에 있어서,

상기 제2 자기정렬 콘택패드는 상기 워드라인 사이에 연속적인 라인 형태로 형성되어 있는 것을 특징으로 하는 반도체 소자의 테스트 패턴.

【청구항 4】

제1항에 있어서,

상기 제1 비트라인과 상기 제1 프로빙 패드는 제1 메탈 콘택을 통해 전기적으로 도통하는 것을 특징으로 하는 반도체 소자의 테스트 패턴.

【청구항 5】

제1항에 있어서,

상기 제2 비트라인과 상기 제2 프로빙 패드는 제2 메탈 콘택을 통해 전기적으로 도통하는 것을 특징으로 하는 반도체 소자의 테스트 패턴.

【청구항 6】

반도체 기판;

상기 기판상에 특정 방향으로 신장 배열된 워드라인;

상기 워드라인과 직교하며 제1 불순물 영역과 제2 불순물 영역을 포함하는 활성영역;

상기 제1 불순물 영역과 전기적으로 도통하는 제1 자기정렬 콘택패드;

상기 제1 자기정렬 콘택패드와 전기적으로 도통하는 다이렉트 콘택;

상기 다이렉트 콘택과 전기적으로 도통하고, 상기 워드라인과 직교하는 방향으로 신장되어 제1 프로빙 패드와 전기적으로 도통하는 비트라인;

상기 제2 불순물 영역과 전기적으로 도통하는 제2 자기정렬 콘택패드;

상기 제2 자기정렬 콘택패드와 전기적으로 도통하는 베리드 콘택; 및

상기 베리드 콘택과 전기적으로 도통하고, 상기 제2 프로빙 패드와 전기적으로 도통하는
프로빙 라인을 포함하는 것을 특징으로 하는 반도체 소자의 테스트 패턴.

【청구항 7】

제6항에 있어서,

상기 프로빙 라인은 상기 워드라인의 신장방향과 직교하는 방향과, 상기 워드라인의 신
장하는 방향과 평행하는 방향 중에서 선택된 어느 하나의 방향으로 신장되어 있는 것을 특징으
로 하는 반도체 소자의 테스트 패턴.

【청구항 8】

제6항에 있어서,

상기 제1 자기정렬 콘택패드는 상기 워드라인 사이에 불연속적인 형태로 형성되어 있는
것을 특징으로 하는 반도체 소자의 테스트 패턴.

【청구항 9】

제6항에 있어서,

상기 제2 자기정렬 콘택패드는 상기 워드라인 사이에 불연속적인 형태로 형성되어 있는
것을 특징으로 하는 반도체 소자의 테스트 패턴.

【청구항 10】

제6항에 있어서,

상기 비트라인과 상기 제1 프로빙 패드는 제1 메탈 콘택을 통해 전기적으로 도통하는 것을 특징으로 하는 반도체 소자의 테스트 패턴.

【청구항 11】

제6항에 있어서,

상기 프로빙 라인과 상기 제2 프로빙 패드는 제2 메탈 콘택을 통해 전기적으로 도통하는 것을 특징으로 하는 반도체 소자의 테스트 패턴.

【청구항 12】

반도체 기판;

상기 기판상에 특정 방향으로 신장 배열된 워드라인;

상기 워드라인과 평행하지 아니하면서 직교하지 않는 각도로 기울어지고, 제1 불순물 영역과 제2 불순물 영역을 포함하는 활성영역;

상기 제1 불순물 영역과 전기적으로 도통하는 제1 자기정렬 콘택패드;

상기 제1 자기정렬 콘택패드와 전기적으로 도통하는 제1 다이렉트 콘택;

상기 제1 다이렉트 콘택과 전기적으로 도통하고, 상기 활성영역과 직교하도록 신장되어 제1 프로빙 패드와 전기적으로 도통하는 제1 비트라인;

상기 제2 불순물 영역과 전기적으로 도통하는 제2 자기정렬 콘택패드;

상기 제2 자기정렬 콘택패드와 전기적으로 도통하는 제2 다이렉트 콘택; 및

상기 제2 다이렉트 콘택과 전기적으로 도통하고, 상기 활성영역과 직교하도록 신장되어 제2 프로빙 패드와 전기적으로 도통하는 제2 비트라인을 포함하는 것을 특징으로 하는 반도체 소자의 테스트 패턴.

【청구항 13】

제12항에 있어서,

상기 제1 비트라인과 제2 비트라인은 상기 활성영역과 직교하는 방향으로 교번적으로 신장 배열되어 있는 것을 특징으로 하는 반도체 소자의 테스트 패턴.

【청구항 14】

제12항에 있어서,

상기 제1 자기정렬 콘택패드는 상기 워드라인 사이에 불연속적인 형태로 형성되어 있는 것을 특징으로 하는 반도체 소자의 테스트 패턴.

【청구항 15】

제12항에 있어서,

상기 제2 자기정렬 콘택패드는 상기 워드라인 사이에 불연속적인 형태로 형성되어 있는 것을 특징으로 하는 반도체 소자의 테스트 패턴.

【청구항 16】

제12항에 있어서,

상기 제2 자기정렬 콘택패드는 상기 워드라인에서 최인접하는 2개의 제2 불순물 영역과 공통으로 전기적으로 도통하는 것을 특징으로 하는 반도체 소자의 테스트 패턴.

【청구항 17】

제12항에 있어서,

상기 제1 자기정렬 콘택패드와 제2 자기정렬 콘택패드는 상기 워드라인 사이에 서로 교번적으로 배열되어 있는 것을 특징으로 하는 반도체 소자의 테스트 패턴.

【청구항 18】

제12항에 있어서,

상기 제1 비트라인과 상기 제1 프로빙 패드는 제1 메탈 콘택을 통해 전기적으로 도통하는 것을 특징으로 하는 반도체 소자의 테스트 패턴.

【청구항 19】

제12항에 있어서,

상기 제2 비트라인과 상기 제2 프로빙 패드는 제2 메탈 콘택을 통해 전기적으로 도통하는 것을 특징으로 하는 반도체 소자의 테스트 패턴.

【청구항 20】

반도체 기판을 제공하는 단계;

상기 기판상에 워드라인을 형성하는 단계;

상기 기판에 제1 불순물 영역과 제2 불순물 영역을 형성하는 단계;

상기 기판 전면상에 제1 충간절연막을 형성하는 단계;

상기 제1 충간절연막을 관통하여 상기 제1 불순물 영역과 전기적으로 도통하는 제1 자기정렬 콘택패드와, 상기 제1 충간절연막을 관통하여 상기 제2 불순물 영역과 전기적으로 도통하는 제2 자기정렬 콘택패드를 형성하는 단계;

상기 제1 층간절연막상에 제2 층간절연막을 형성하는 단계;

상기 제2 층간절연막을 관통하여 상기 제1 자기정렬 콘택패드와 전기적으로 도통하는 제1 다이렉트 콘택과, 상기 제2 층간절연막을 관통하여 상기 제2 자기정렬 콘택패드와 전기적으로 도통하는 제2 다이렉트 콘택을 형성하는 단계;

상기 제1 다이렉트 콘택과 전기적으로 도통하는 제1 비트라인과, 상기 제2 다이렉트 콘택과 전기적으로 도통하는 제2 비트라인을 상기 제2 층간절연막상에 각각 형성하는 단계;

상기 제2 층간절연막상에 제3 층간절연막을 형성하는 단계;

상기 제3 층간절연막을 관통하여 상기 제1 비트라인과 전기적으로 도통하는 제1 메탈 콘택과, 상기 제3 층간절연막을 관통하여 상기 제2 비트라인과 전기적으로 도통하는 제2 메탈 콘택을 형성하는 단계; 및

상기 제1 메탈 콘택과 전기적으로 도통하는 제1 프로빙 패드와, 상기 제2 메탈 콘택과 전기적으로 도통하는 제2 프로빙 패드를 상기 제3 층간절연막상에 각각 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 테스트 패턴 형성방법.

【청구항 21】

제20항에 있어서,

상기 제1 자기정렬 콘택패드는 상기 워드라인 사이에 불연속적인 형태로 형성되는 것을 특징으로 하는 반도체 소자의 테스트 패턴 형성방법.

【청구항 22】

제20항에 있어서,

상기 제2 자기정렬 콘택 패드는 상기 워드라인 사이에 연속적인 라인 형태로 형성되는 것을 특징으로 하는 반도체 소자의 테스트 패턴 형성방법.

【청구항 23】

제20항에 있어서,

상기 제2 비트라인은 복수개의 제2 자기정렬 콘택패드를 상기 제2 메탈 콘택을 통해 전기적으로 병렬 연결시키는 것을 특징으로 하는 반도체 소자의 테스트 패턴 형성방법.

【청구항 24】

제20항에 있어서,

상기 제2 메탈 콘택은 상기 제2 자기정렬 콘택패드의 단부와 전기적으로 도통하는 것을 특징으로 하는 반도체 소자의 테스트 패턴 형성방법.

【청구항 25】

반도체 기판을 제공하는 단계;

상기 기판상에 워드라인을 형성하는 단계;

상기 기판에 제1 불순물 영역과 제2 불순물 영역을 형성하는 단계;

상기 기판 전면상에 제1 충간절연막을 형성하는 단계;

상기 제1 충간절연막을 관통하여 상기 제1 불순물 영역과 전기적으로 도통하는 제1 자기정렬 콘택패드와, 상기 제1 충간절연막을 관통하여 상기 제2 불순물 영역과 전기적으로 도통하는 제2 자기정렬 콘택패드를 형성하는 단계;

상기 제1 층간절연막상에 제2 층간절연막을 형성하는 단계;

상기 제2 층간절연막을 관통하여 상기 제1 자기정렬 콘택패드와 전기적으로 도통하는 다이렉트 콘택을 형성하는 단계;

상기 다이렉트 콘택과 전기적으로 도통하는 비트라인을 상기 제2 층간절연막상에 형성하는 단계;

상기 제2 층간절연막상에 제3 층간절연막을 형성하는 단계;

상기 제3 층간절연막과 제2 층간절연막을 관통하여 상기 제2 자기정렬 콘택패드와 전기적으로 도통하는 베리드 콘택을 형성하는 단계;

상기 베리드 콘택과 전기적으로 도통하는 프로빙 라인을 제3 층간절연막상에 형성하는 단계;

상기 제3 층간절연막상에 제4 층간절연막을 형성하는 단계;

상기 제4 층간절연막과 제3 층간절연막을 관통하여 상기 비트라인과 전기적으로 도통하는 제1 메탈 콘택을 형성하고, 상기 제4 층간절연막을 관통하여 상기 프로빙 라인과 전기적으로 도통하는 제2 메탈 콘택을 형성하는 단계; 및

상기 제1 메탈 콘택과 전기적으로 도통하는 제1 프로빙 패드와, 상기 제2 메탈 콘택과 전기적으로 도통하는 제2 프로빙 패드를 상기 제4 층간절연막상에 각각 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 테스트 패턴 형성방법.

【청구항 26】

제25항에 있어서,

상기 프로빙 라인은 상기 비트라인의 신장하는 방향과 평행한 방향으로 신장하도록 형성되는 것을 특징으로 하는 반도체 소자의 테스트 패턴 형성방법.

【청구항 27】

제25항에 있어서,

상기 프로빙 라인은 상기 비트라인의 신장하는 방향과 직교하는 방향으로 신장하도록 형성되는 것을 특징으로 하는 반도체 소자의 테스트 패턴 형성방법.

【청구항 28】

제25항에 있어서,

상기 제1 자기정렬 콘택패드는 상기 워드라인 사이에 불연속적인 형태로 형성되는 것을 특징으로 하는 반도체 소자의 테스트 패턴 형성방법.

【청구항 29】

제25항에 있어서,

상기 제2 자기정렬 콘택패드는 상기 워드라인 사이에 불연속적인 형태로 형성되는 것을 특징으로 하는 반도체 소자의 테스트 패턴 형성방법.

【청구항 30】

반도체 기판을 제공하는 단계;

상기 기판상에 특정 방향으로 신장되는 워드라인을 형성하는 단계;

상기 기판에 제1 불순물 영역과 제2 불순물 영역을 형성하되, 상기 제1 불순물 영역과 제2 불순물 영역을 포함하는 활성영역의 장축이 상기 워드라인의 신장 방향과 평행하지 아니하면서 직교하지 않는 사선 방향으로 신장되도록 형성하는 단계;

상기 기판 전면상에 제1 층간절연막을 형성하는 단계;

상기 제1 층간절연막을 관통하여 상기 제1 불순물 영역과 전기적으로 도통하는 제1 자기정렬 콘택패드와, 상기 제1 층간절연막을 관통하여 상기 워드라인 사이에서 쇄인접하는 2개의 제2 불순물 영역과 전기적으로 도통하는 제2 자기정렬 콘택패드를 형성하는 단계;

상기 제1 층간절연막상에 제2 층간절연막을 형성하는 단계;

상기 제2 층간절연막을 관통하여 상기 제1 자기정렬 콘택패드와 전기적으로 도통하는 제1 다이렉트 콘택과, 상기 제2 층간절연막을 관통하여 상기 제2 자기정렬 콘택패드와 전기적으로 도통하는 제2 다이렉트 콘택을 형성하는 단계;

상기 제1 다이렉트 콘택과 전기적으로 도통하는 제1 비트라인과, 상기 제2 다이렉트 콘택과 전기적으로 도통하는 제2 비트라인을 상기 제2 층간절연막상에 각각 형성하되, 상기 활성영역의 장축과 직교하는 방향으로 신장되도록 형성하는 단계;

상기 제2 층간절연막상에 제3 층간절연막을 형성하는 단계;

상기 제3 층간절연막을 관통하여 상기 제1 비트라인과 전기적으로 도통하는 제1 메탈 콘택과, 상기 제3 층간절연막을 관통하여 상기 제2 비트라인과 전기적으로 도통하는 제2 메탈 콘택을 형성하는 단계; 및



1020030018588

출력 일자: 2003/12/30

상기 제1 메탈 콘택과 전기적으로 도통하는 제1 프로빙 패드와, 상기 제2 메탈 콘택과 전기적으로 도통하는 제2 프로빙 패드를 상기 제3 충간절연막상에 각각 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 테스트 패턴 형성방법.

【청구항 31】

제30항에 있어서,

상기 제1 비트라인과 상기 제2 비트라인은 교번적으로 배열되도록 형성되는 것을 특징으로 하는 반도체 소자의 테스트 패턴 형성방법.

【청구항 32】

제30항에 있어서,

상기 제1 자기정렬 콘택패드는 상기 워드라인 사이에 불연속적인 형태로 형성되는 것을 특징으로 하는 반도체 소자의 테스트 패턴 형성방법.

【청구항 33】

제30항에 있어서,

상기 제2 자기정렬 콘택패드는 상기 워드라인 사이에 불연속적인 형태로 형성되는 것을 특징으로 하는 반도체 소자의 테스트 패턴 형성방법.

【청구항 34】

제30항에 있어서,

상기 제2 자기정렬 콘택패드는 상기 워드라인에서 최인접하는 2개의 제2 불순물 영역과 공통으로 전기적으로 도통하도록 형성되는 것을 특징으로 하는 반도체 소자의 테스트 패턴 형성방법.



1020030018588

출력 일자: 2003/12/30

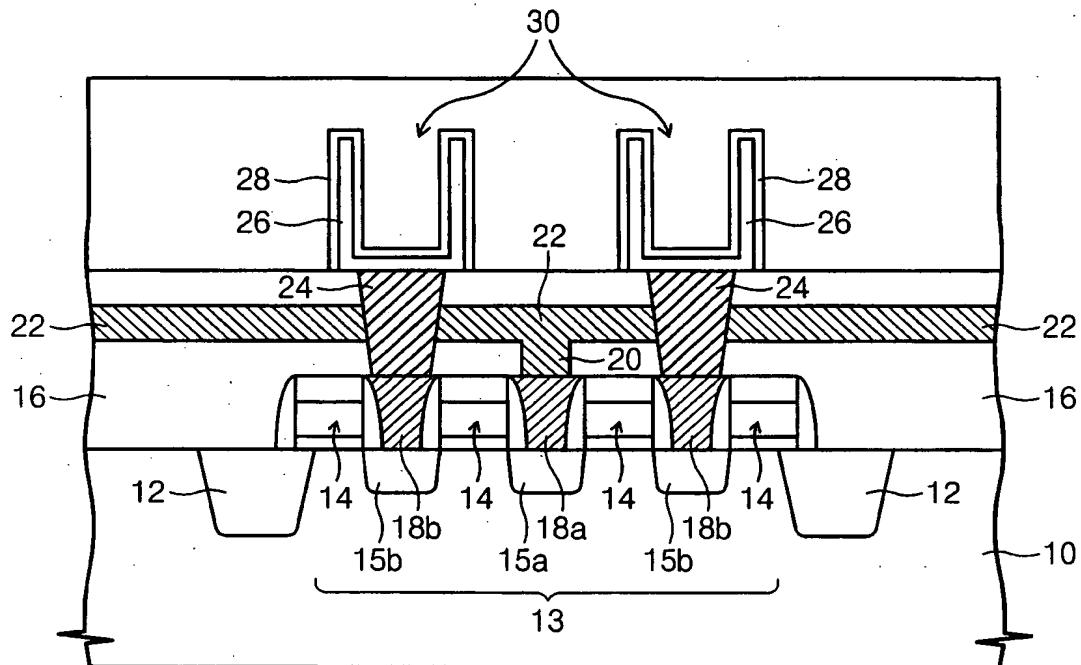
【청구항 35】

제30항에 있어서,

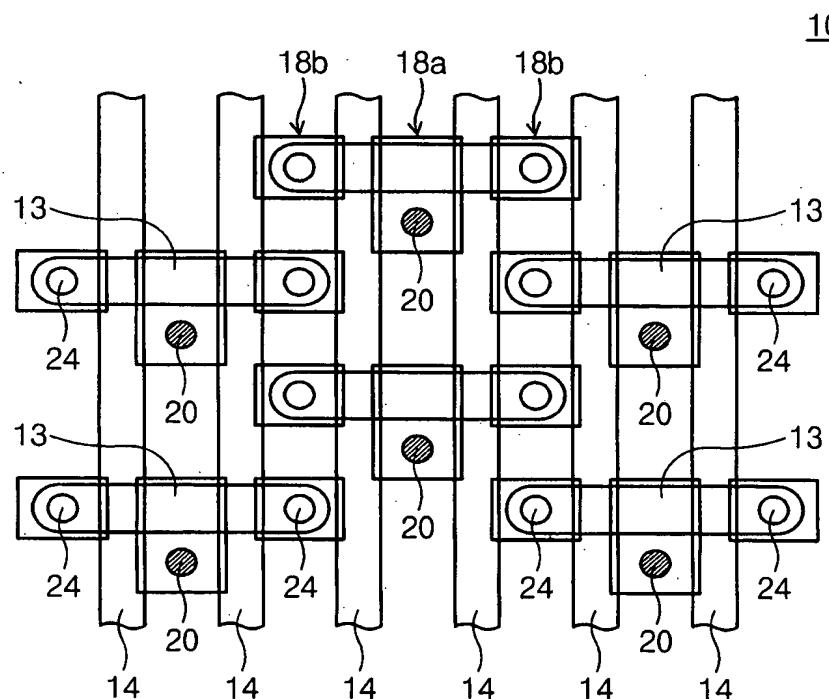
상기 제1 자기정렬 콘택패드와 제2 자기정렬 콘택패드는 상기 워드라인 사이에 교번적으로 형성되는 것을 특징으로 하는 반도체 소자의 테스트 패턴 형성방법.

【도면】

【도 1】



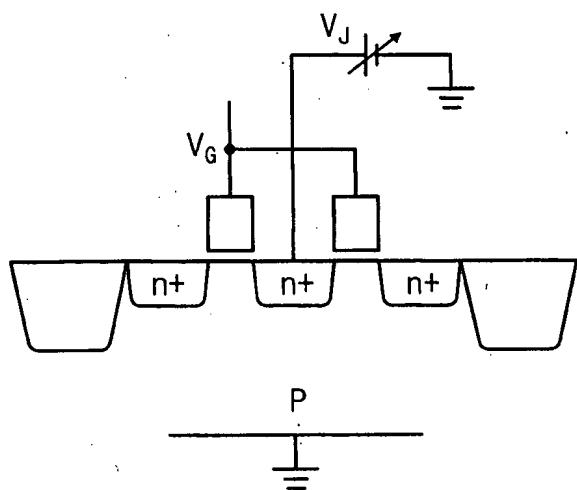
【도 2】



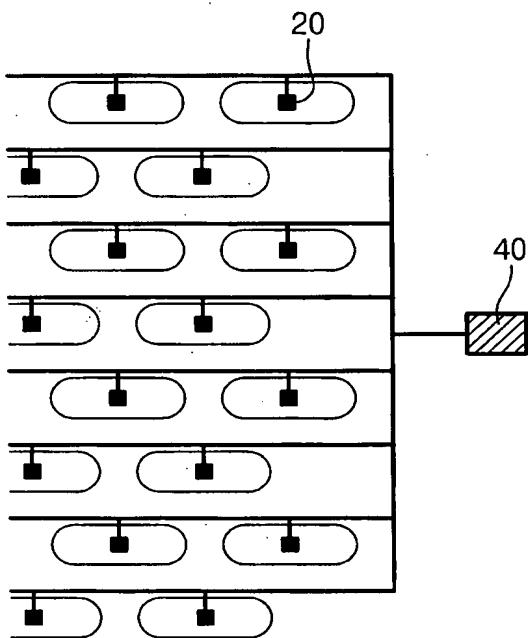
1020030018588

출력 일자: 2003/12/30

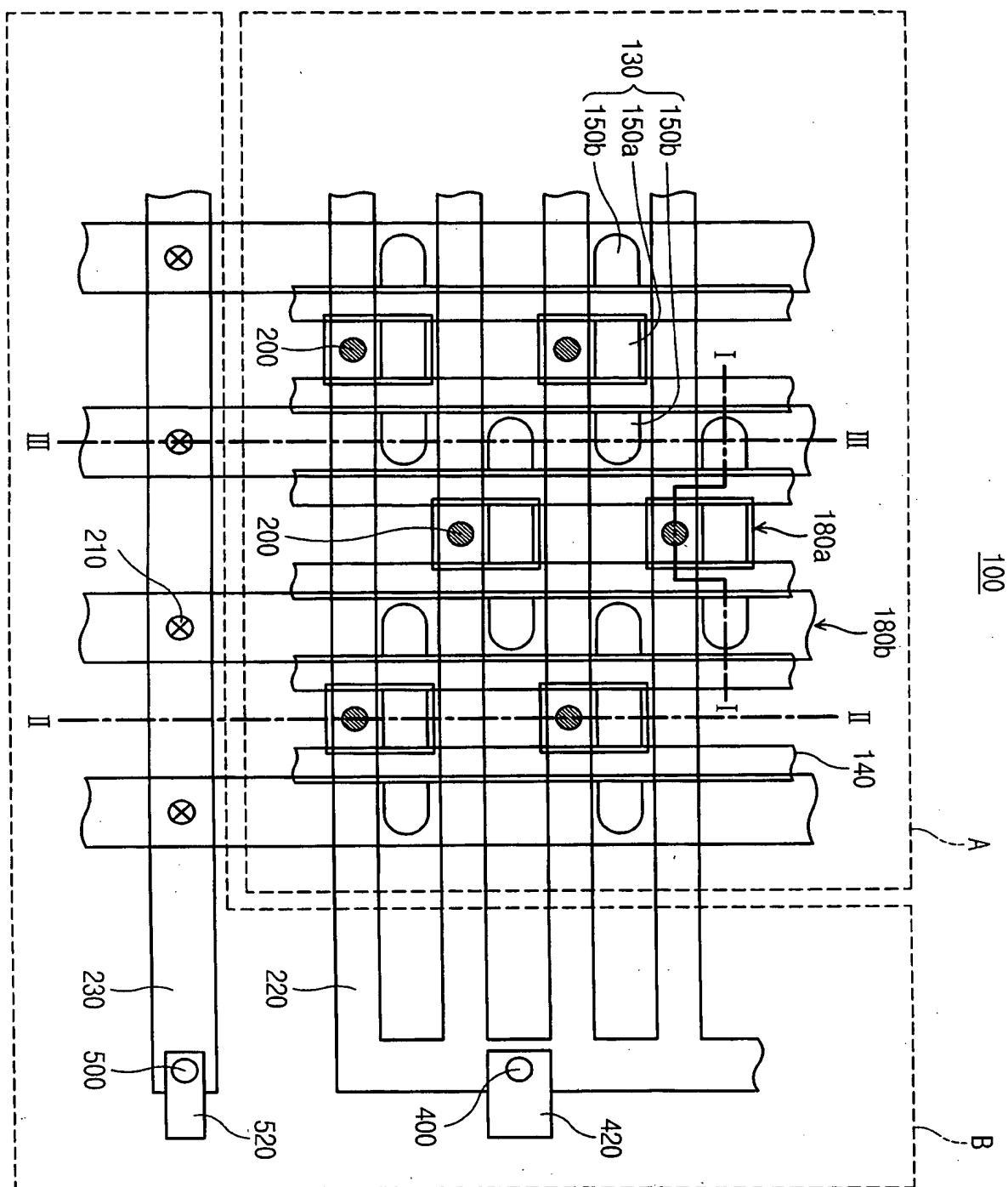
【도 3】



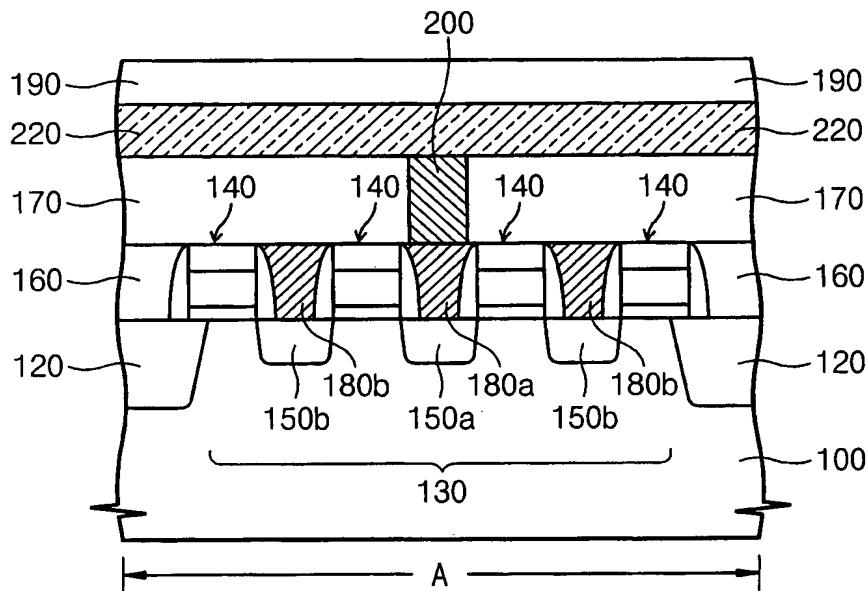
【도 4】



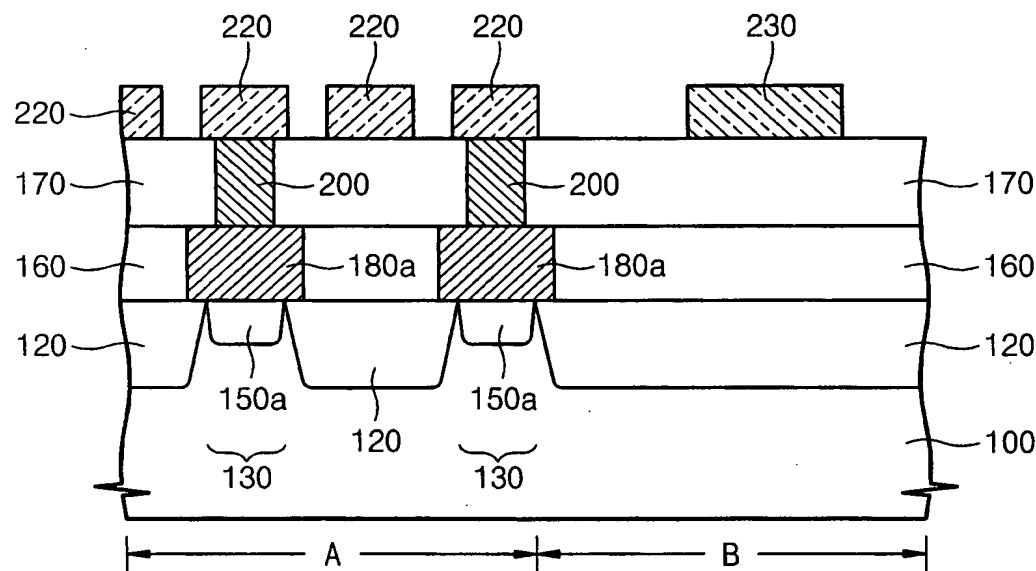
【도 5】



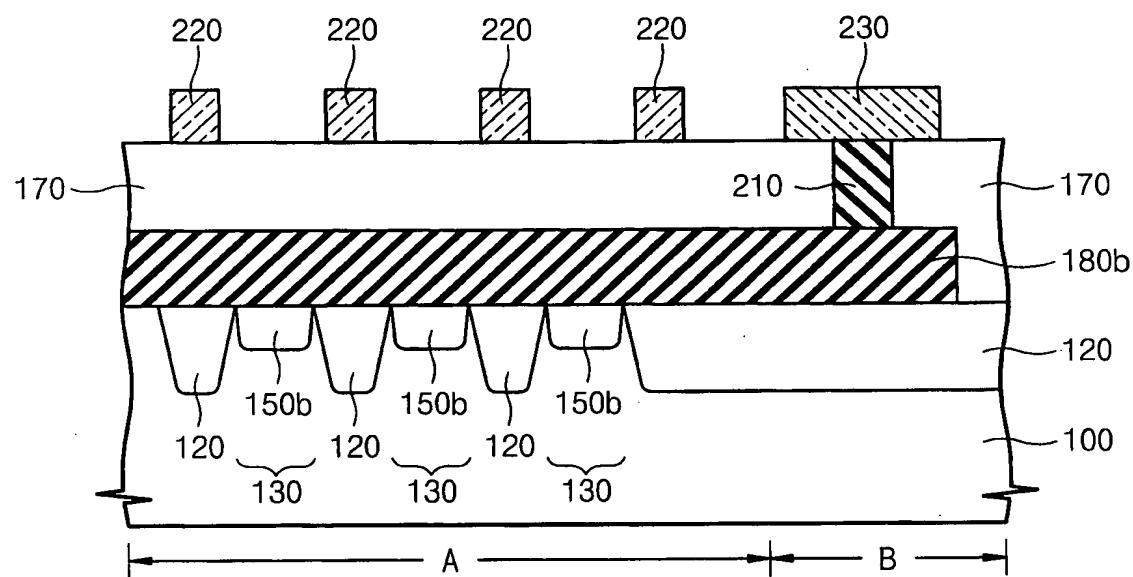
【도 6】



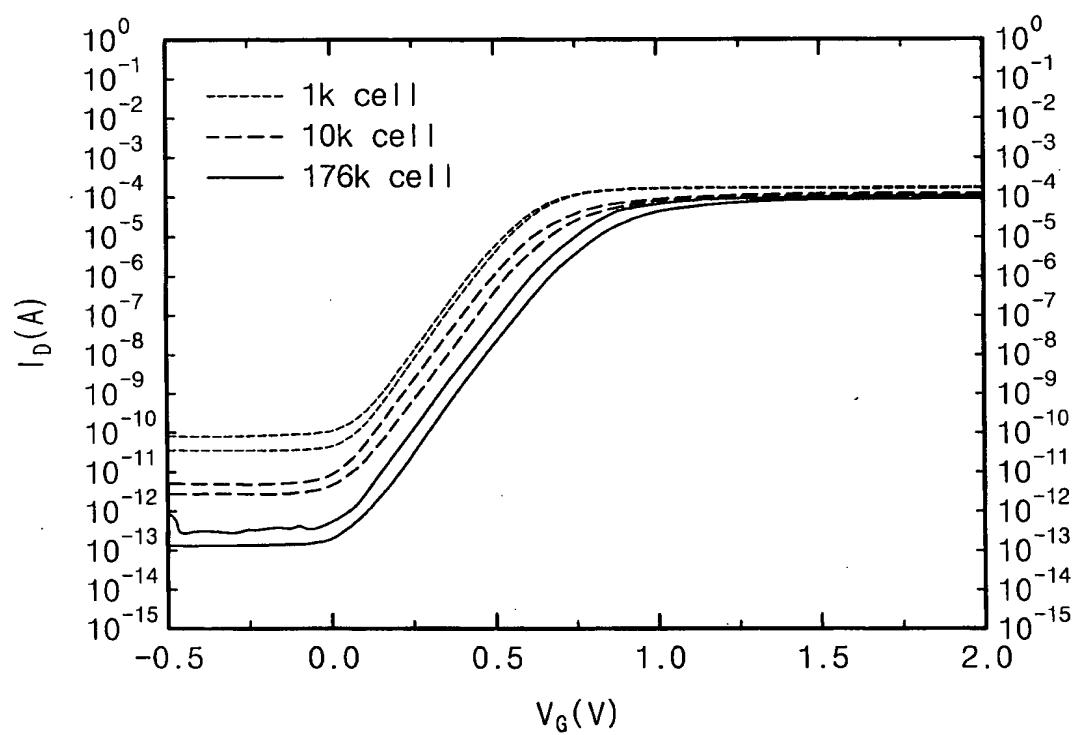
【도 7】



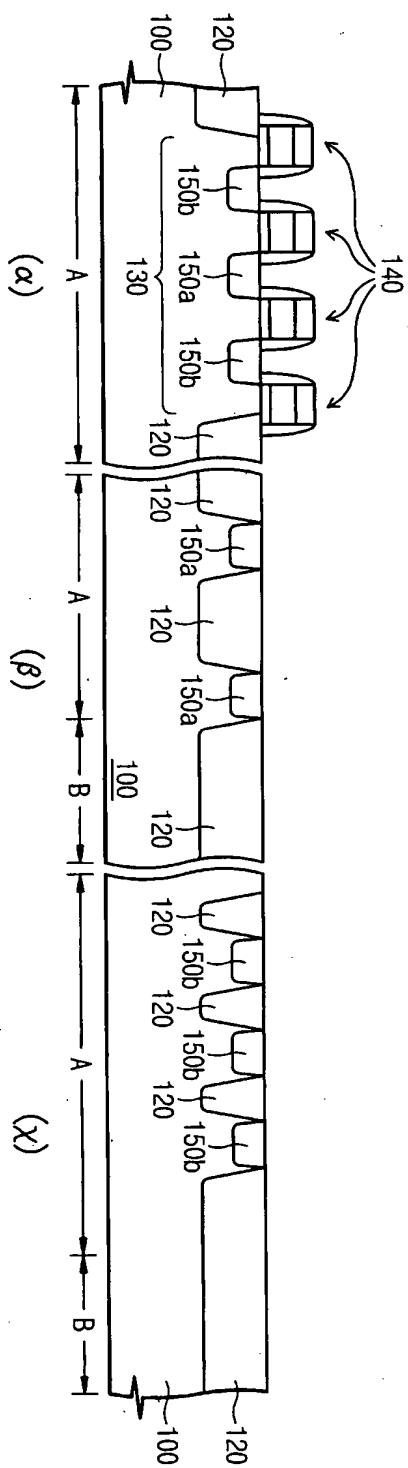
【도 8】



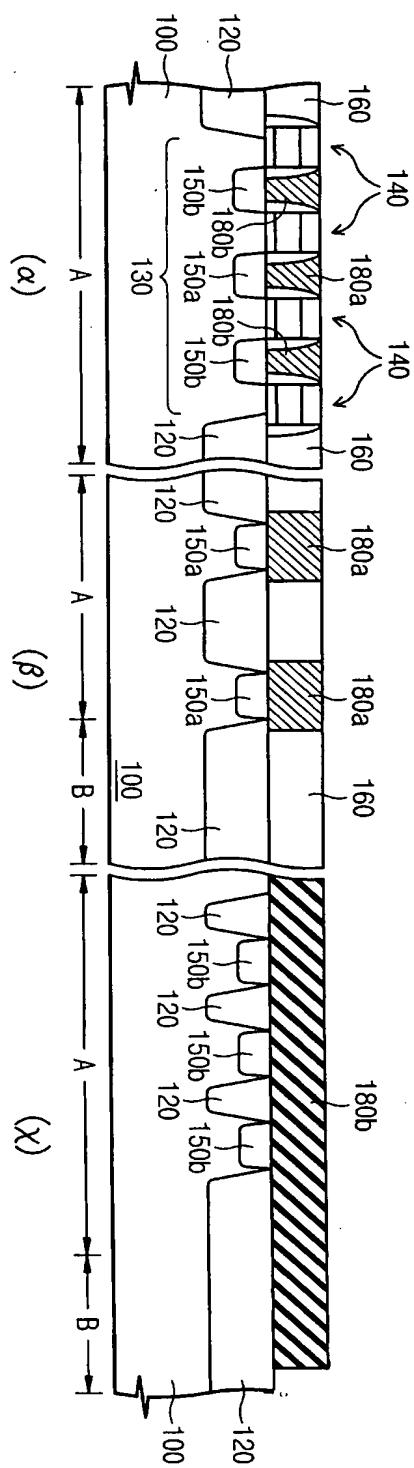
【도 9】



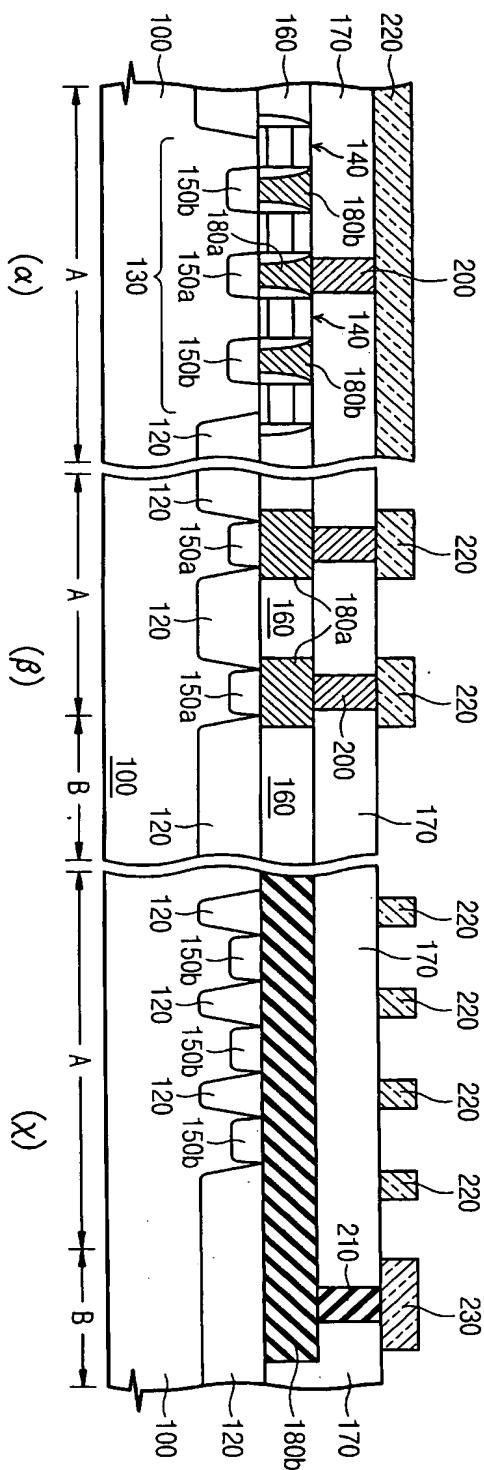
【도 10】



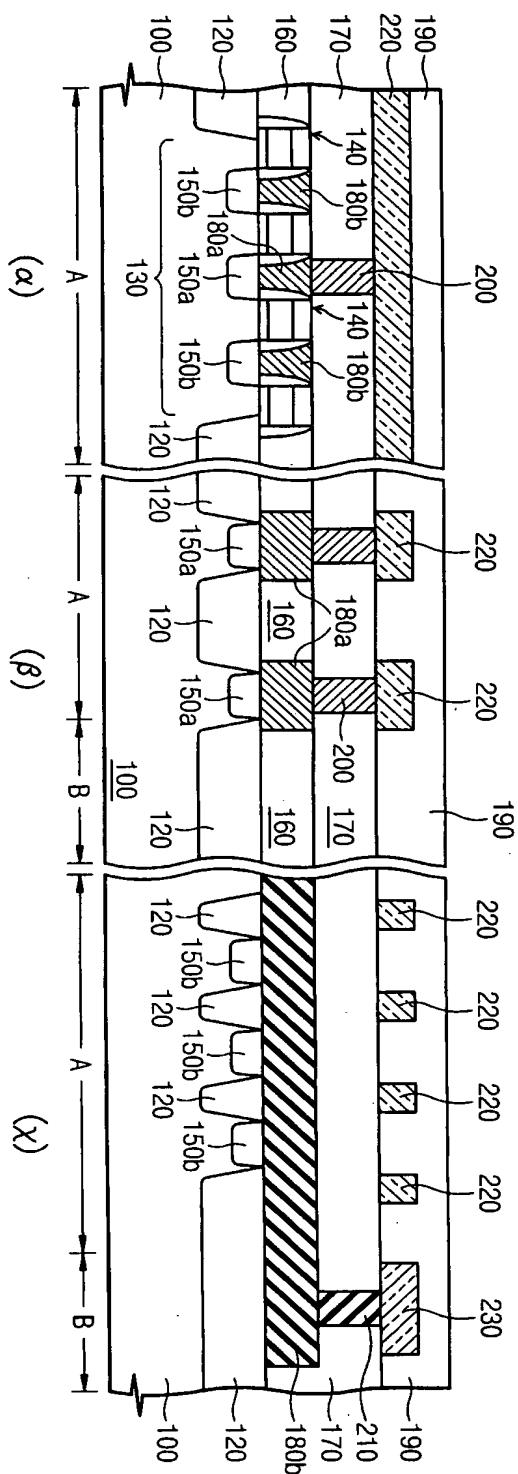
【도 11】



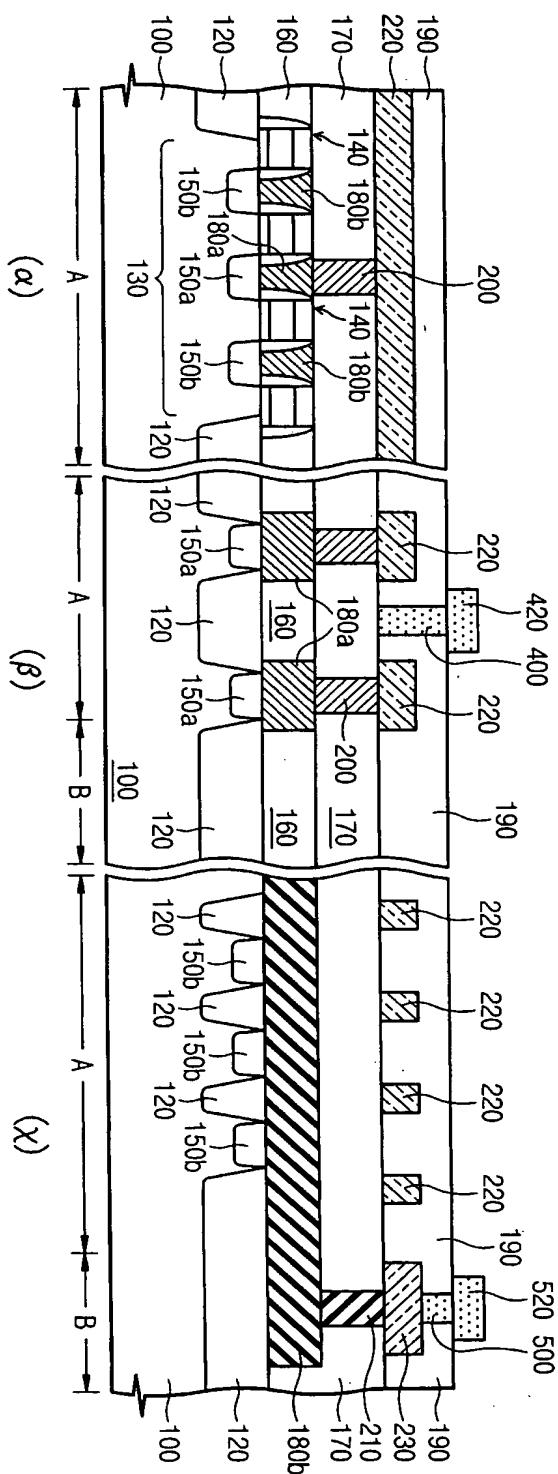
【도 12】



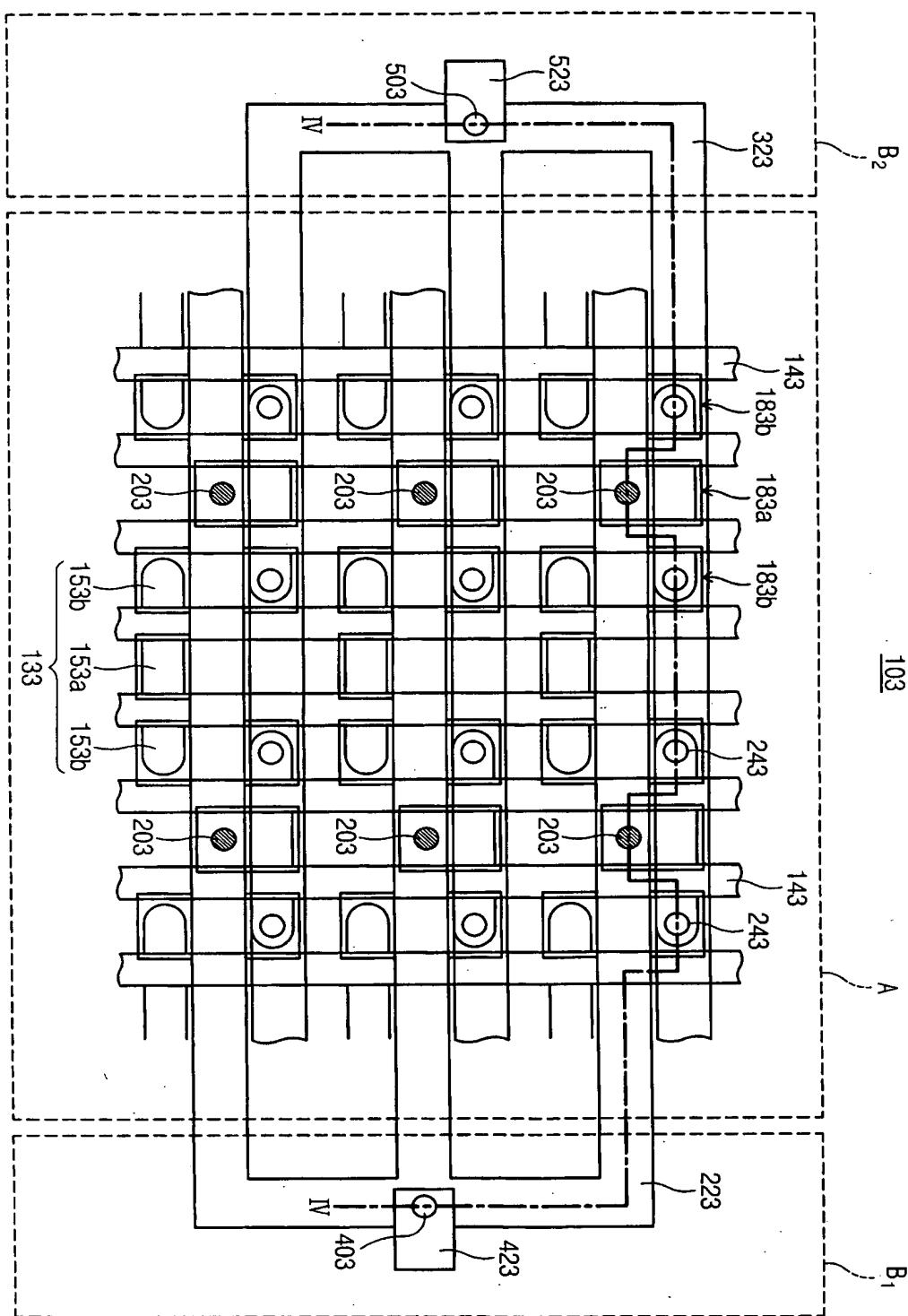
【도 13】



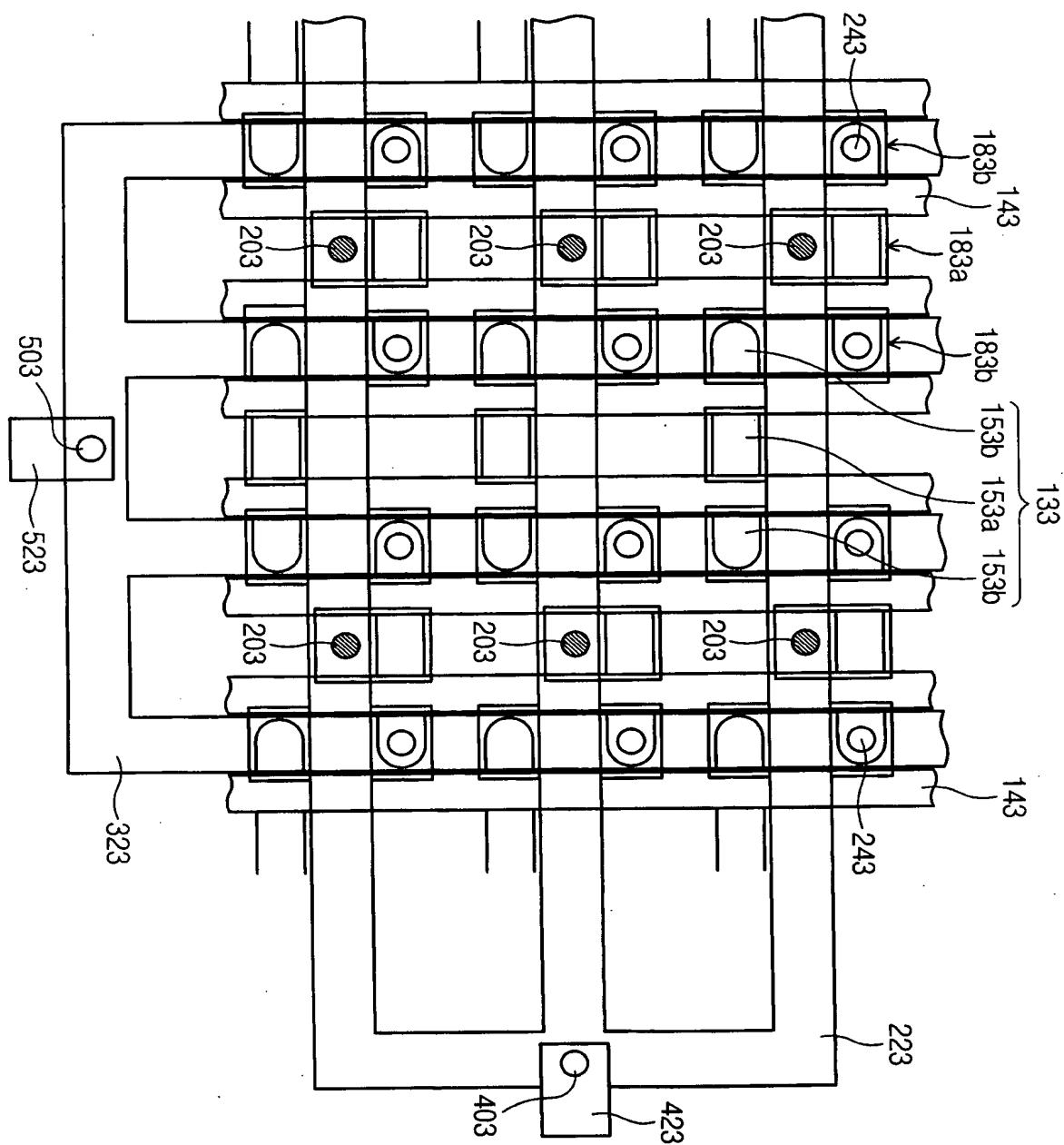
【도 14】



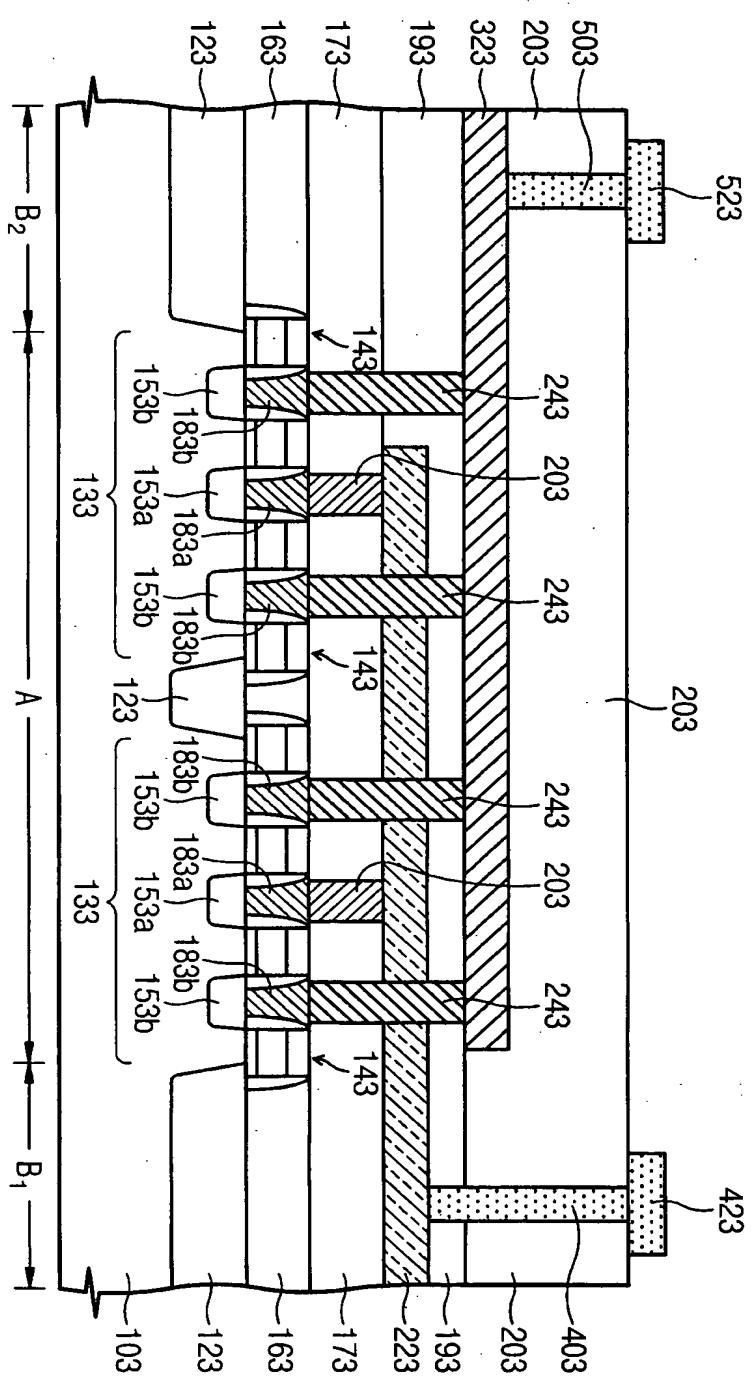
【도 15】



【도 16】



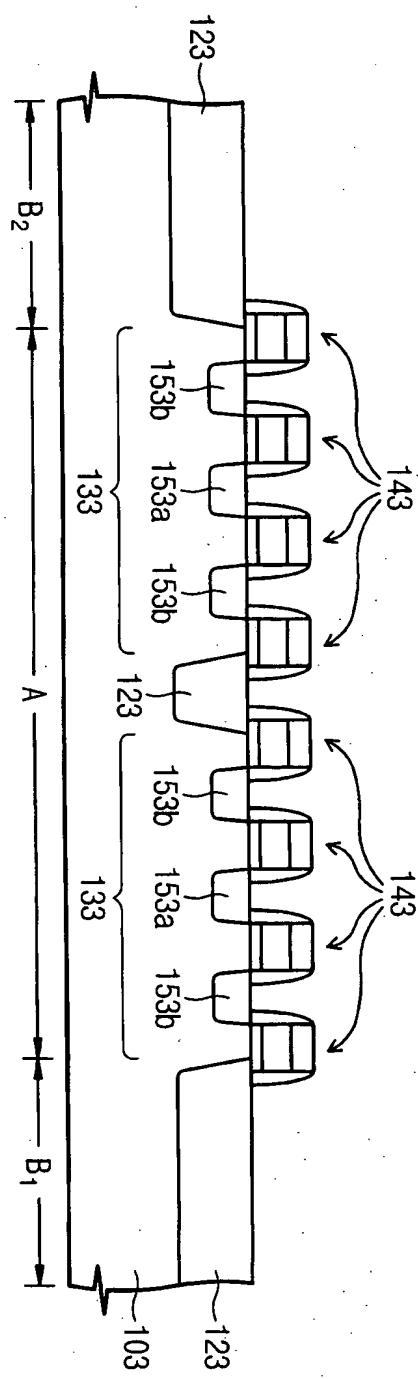
【도 17】



1020030018588

출력 일자: 2003/12/30

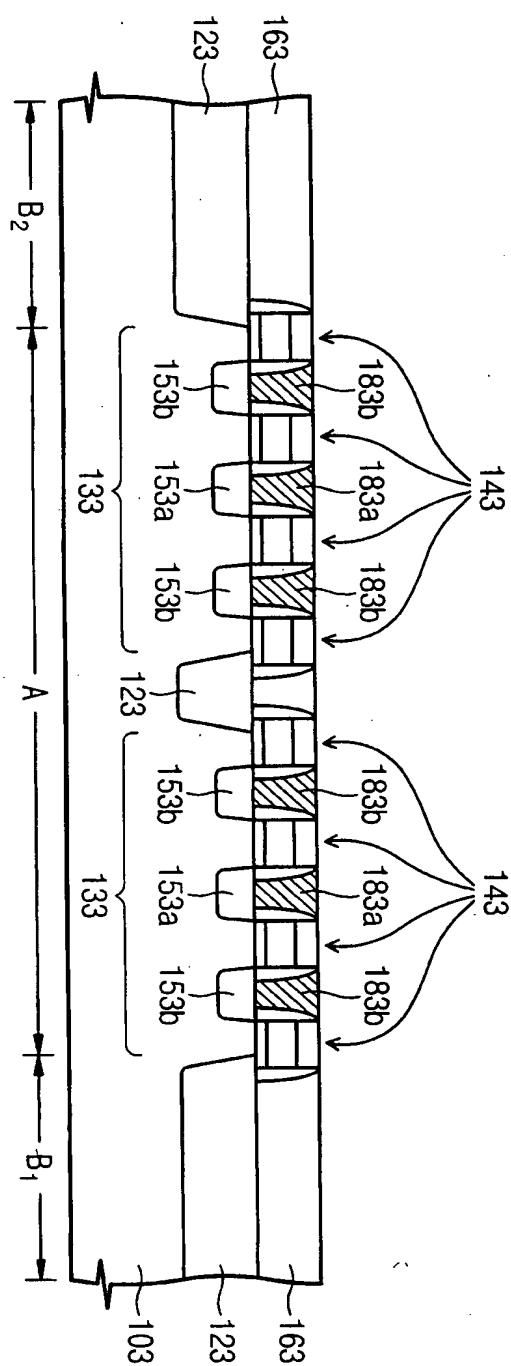
【도 18】



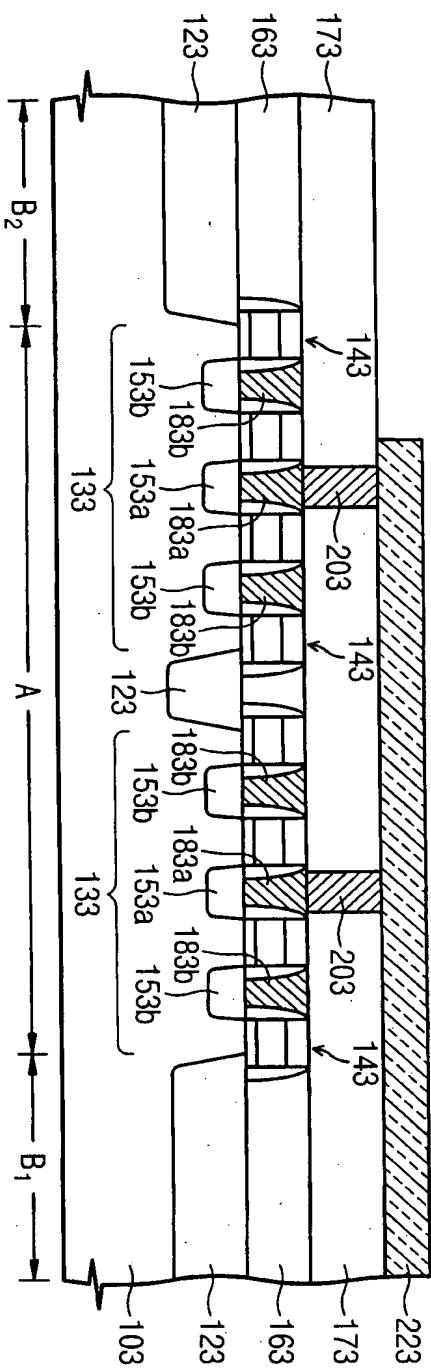
1020030018588

출력 일자: 2003/12/30

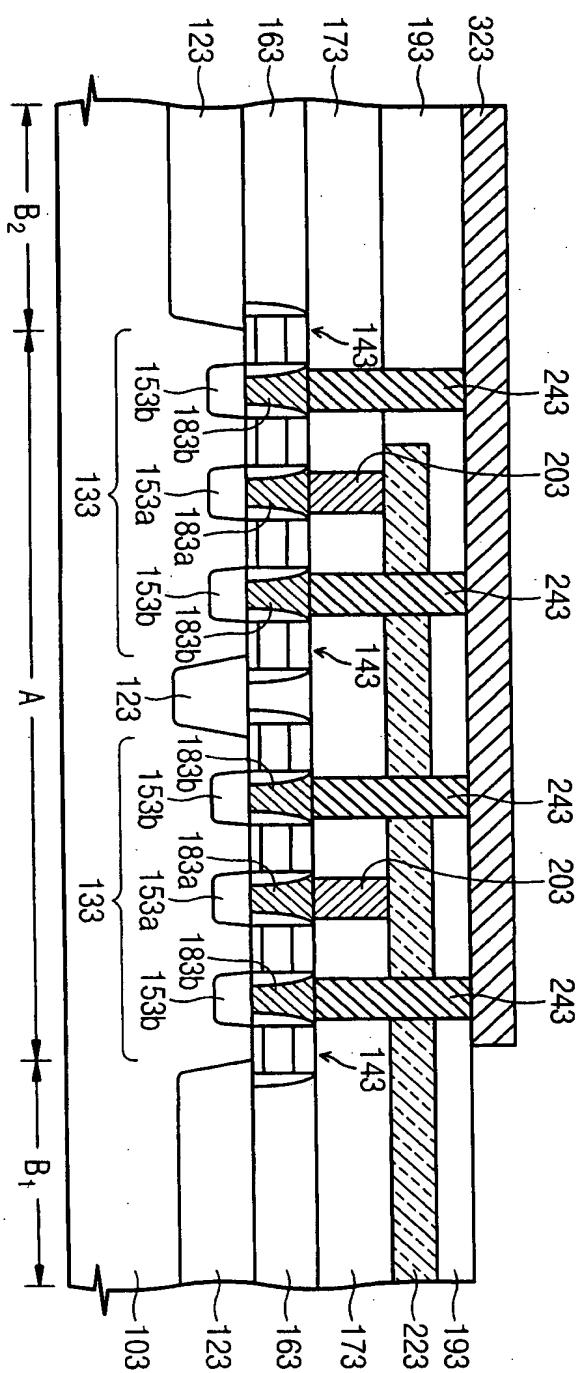
【도 19】



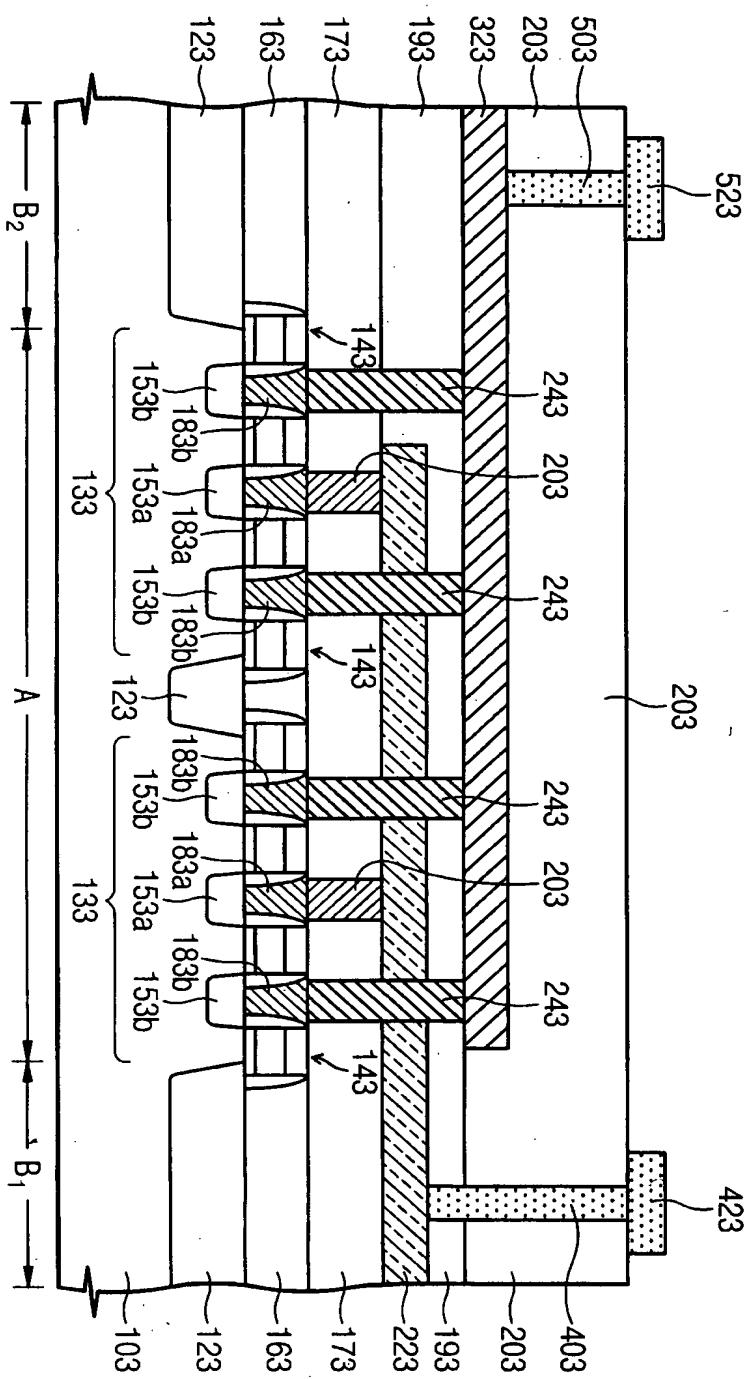
【도 20】



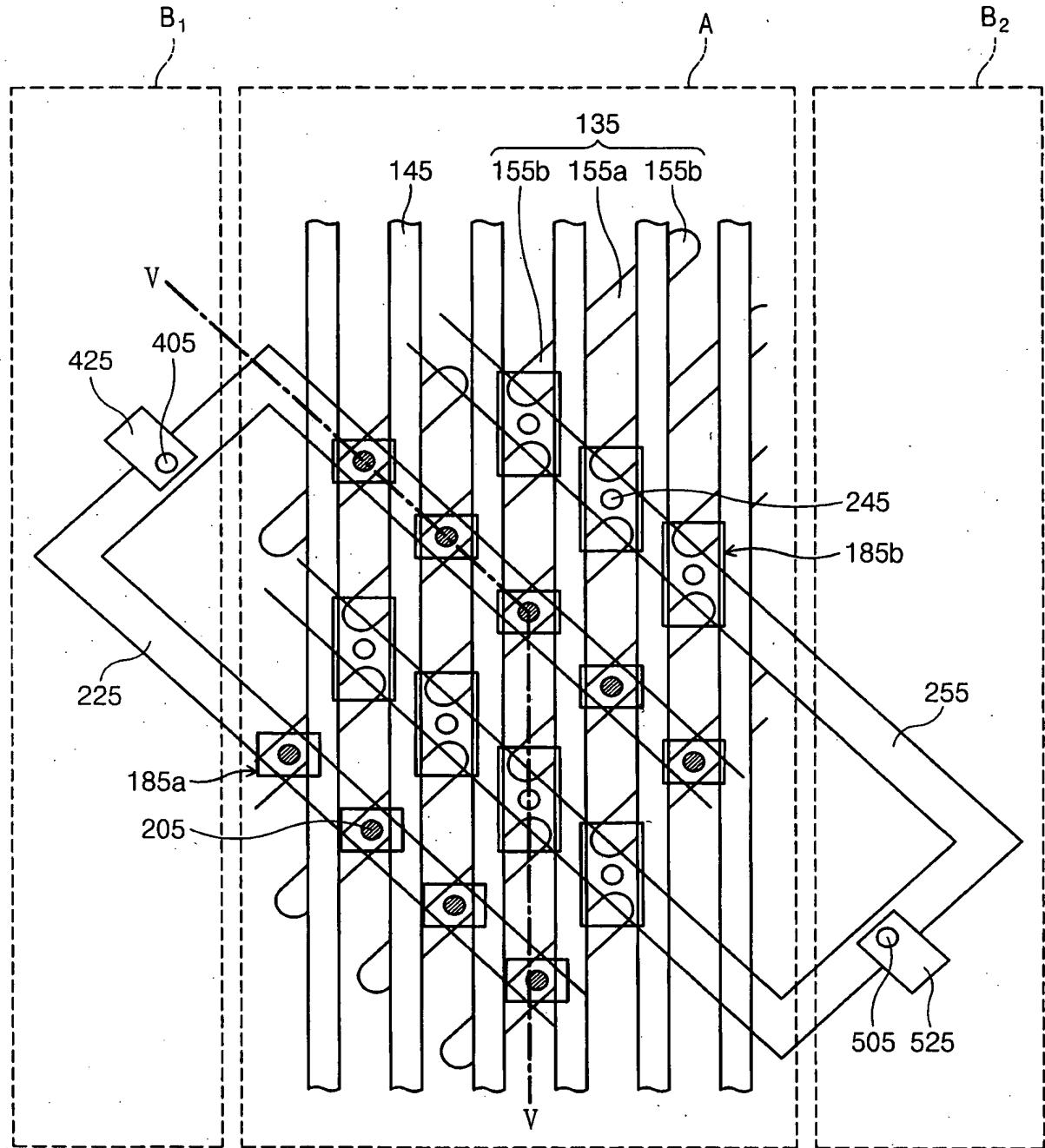
【도 21】



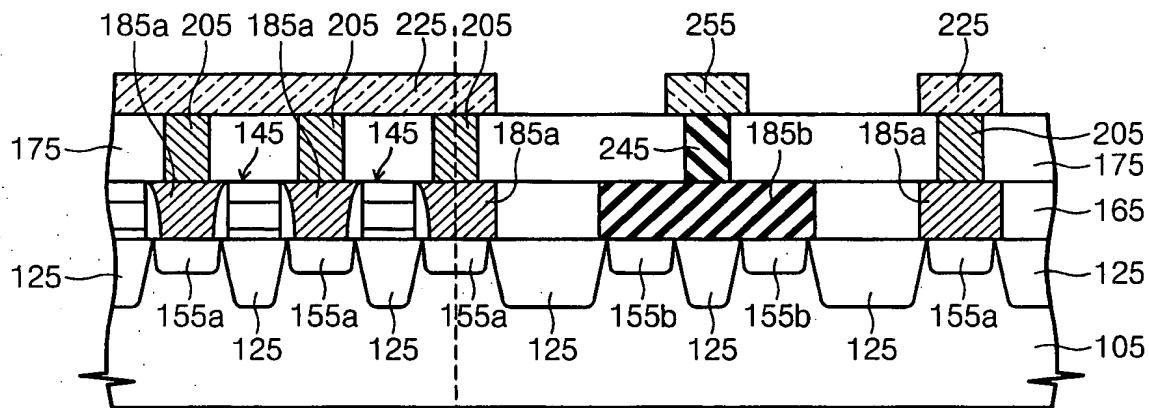
【도 22】



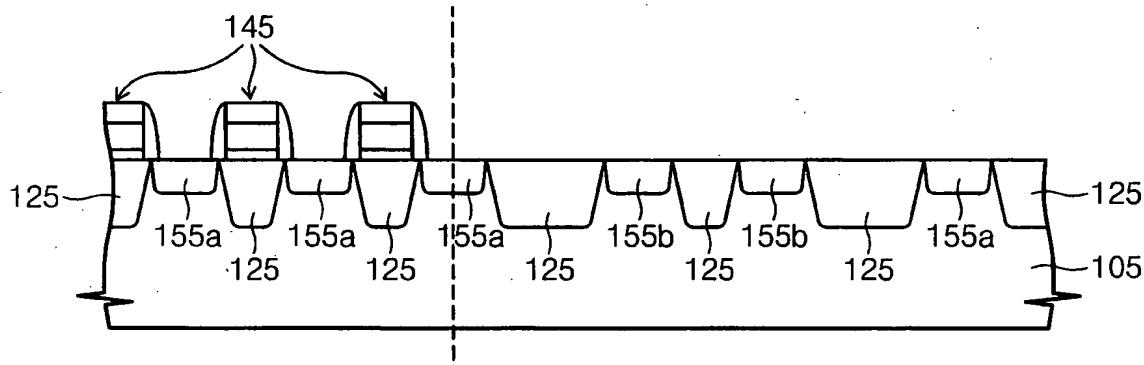
【도 23】

105

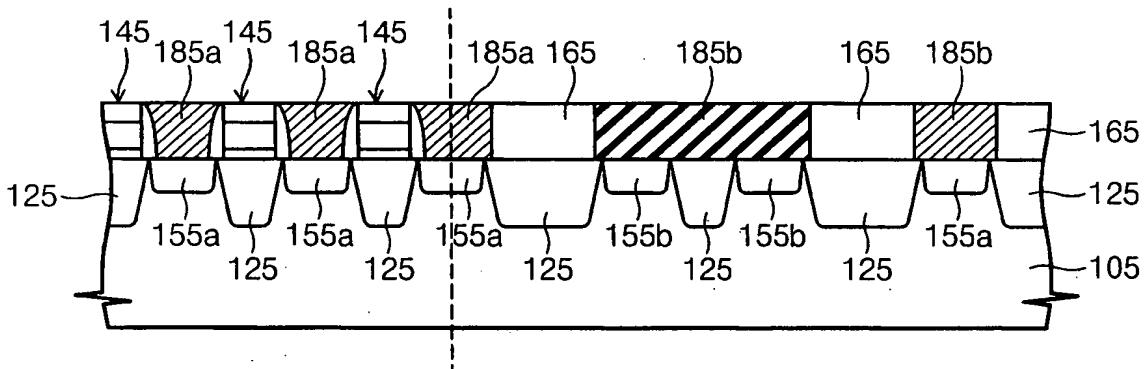
【도 24】



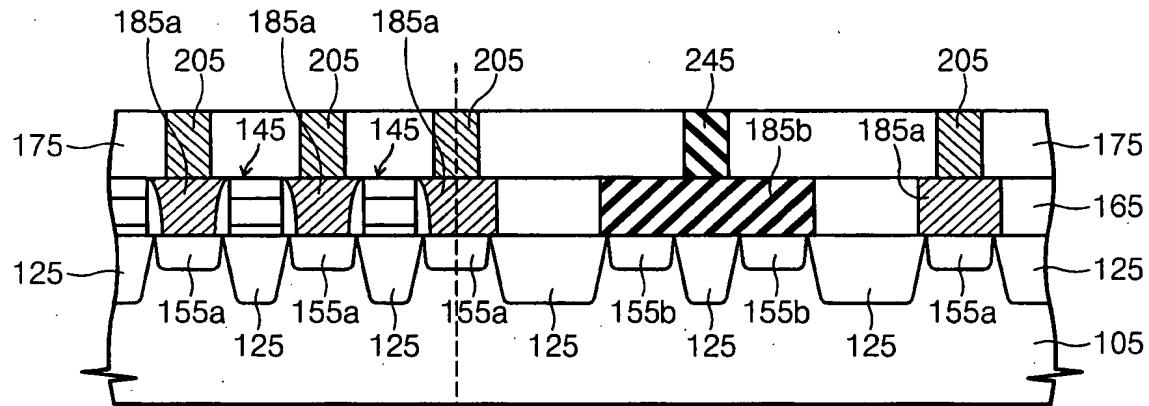
[도 25]



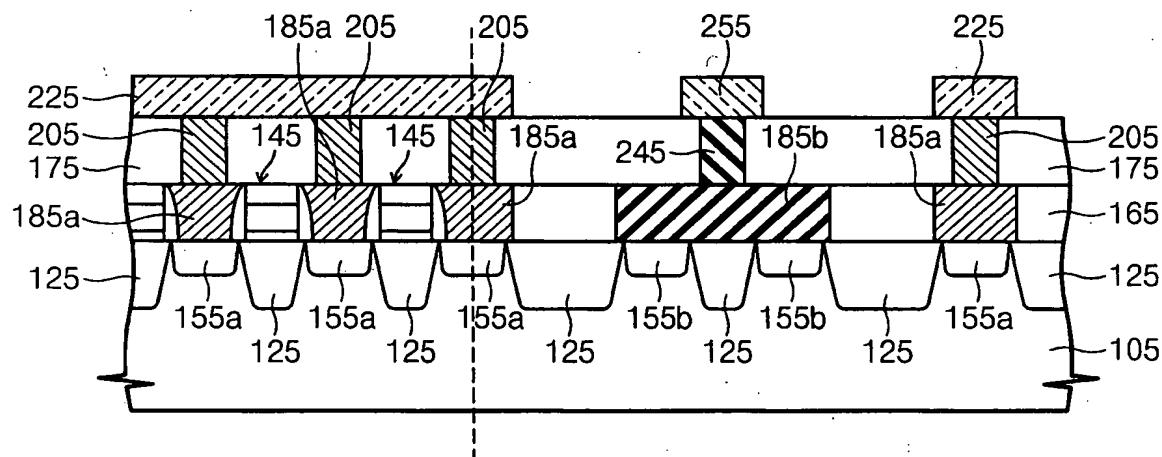
【도 26】



【도 27】



【도 28】



【도 29】

